

SON-2311

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of)
KUNIHICO OZAWA) APPLICATION BRANCH
Serial No. To be assigned)
Filed: January 18, 2002)
For: RECONFIGURABLE ARITHMETIC DEVICE)
AND ARITHMETIC SYSTEM INCLUDING)
THAT ARITHMETIC DEVICE AND)
ADDRESS GENERATION DEVICE AND)
INTERLEAVE DEVICE APPLICABLE TO)
ARITHMETIC)

CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

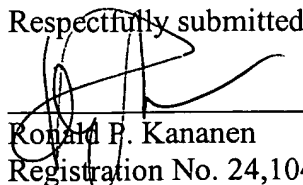
The benefit of the filing dates of the following prior applications filed in the following foreign country are hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2001-012535 filed January 19, 2001
Japanese Patent Appl. No. 2001-012524 filed January 19, 2001

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Date: January 18, 2002



Ronald P. Kananen
Registration No. 24,104

RADER, FISHMAN & GRAUER, PLLC
Lion Building
1233 20th Street, N.W.
Washington, D.C. 20036
Tel: (202) 955-37650
Customer No. 23353

#6
JCE20 U.S. PRO
10/050849
01/18/02

S02P0022 W00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

jceas u.s. pro
10/050849
01/16/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application: 2001年 1月19日

出 願 番 号
Application Number: 特願2001-012524

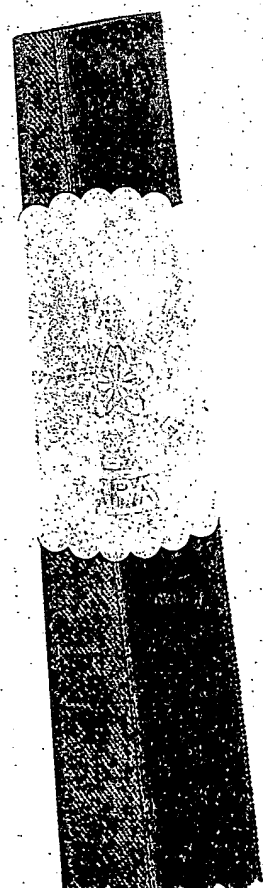
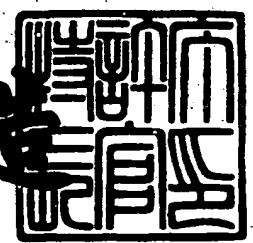
出 願 人
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0000932510

【提出日】 平成13年 1月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00
G06F 9/22
H03K 19/177

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小澤 邦彦

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算装置および並列演算装置

【特許請求の範囲】

【請求項 1】 外部からの制御により演算経路を再構成可能な演算装置であって、

制御信号に応じて複数の入力データから所望のデータを選択する第 1 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 2 の選択手段と、

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段と

を有する演算装置。

【請求項 2】 上記演算手段は、2 項演算が可能である請求項 1 記載の演算装置。

【請求項 3】 上記演算手段は、2 項演算の結果を単項演算する請求項 2 記載の演算装置。

【請求項 4】 上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段

を有する請求項 1 記載の演算装置。

【請求項 5】 外部からの制御により演算経路を再構成可能な演算装置であって、

制御信号に応じて複数の入力データから所望のデータを選択する第 1 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 2 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 3 の選択手段と、

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段と

を有する演算装置。

【請求項 6】 上記演算手段は、3 項演算が可能である
請求項 5 記載の演算装置。

【請求項 7】 上記演算手段は、3 項演算の結果を単項演算する
請求項 6 記載の演算装置。

【請求項 8】 上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段

を有する請求項 5 記載の演算装置。

【請求項 9】 外部からの制御により演算経路を再構成可能な演算装置であって、

制御信号に応じて複数の入力データから所望のデータを選択する第 1 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 2 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 3 の選択手段と、

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、第 2 の選択手段、および第 3 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と

を有する演算装置。

【請求項 10】 制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択する第 4 の選択手段

をさらに有する請求項 9 記載の演算装置。

【請求項 11】 上記第 1 の演算手段は 2 項演算が可能で、
上記第 2 の演算手段は、3 項演算が可能である
請求項 9 記載の演算装置。

【請求項 12】 上記第 1 の演算手段は、2 項演算の結果を単項演算し、
上記第 2 の演算手段は、3 項演算の結果を単項演算する

請求項 1 1 記載の演算装置。

【請求項 1 3】 上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段

を有する請求項 9 記載の演算装置。

【請求項 1 4】 外部からの制御により演算経路を再構成可能な演算装置であって、

制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と

制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、

制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択する第 4 の選択手段と

を有する演算装置。

【請求項 1 5】 外部からの制御により演算経路を再構成可能な演算装置であって、

制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と

制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と

制御信号に応じて第 3 のデータ群から一のデータを選択する第 3 の選択手段と

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号のうちの少なくとも 2 つの信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選

択手段の出力信号のうちの少なくとも2つの信号を入力として、制御信号の指示に応じた演算を行う第2の演算手段と、

制御信号に応じて、上記第1の演算手段の出力信号と上記第2の演算手段の出力信号のいずれかを選択する第4の選択手段と

を有する演算装置。

【請求項16】 制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、

上記第1の選択手段の出力信号、および第2の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段と

を有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し

上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一のデータとして供給する並列演算装置。

【請求項17】 上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段

を有する請求項16記載の並列演算装置。

【請求項18】 制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第3の選択手段と、

上記第1の選択手段の出力信号、第2の選択手段の出力信号、および第3の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段と

を有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し

上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一のデータとして供給する並列演算装置。

【請求項 1 9】 上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段

を有する請求項 1 8 記載の並列演算装置。

【請求項 2 0】 制御信号に応じて複数の入力データから所望のデータを選択する第 1 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 2 の選択手段と、

制御信号に応じて複数の入力データから所望のデータを選択する第 3 の選択手段と、

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、

制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択し、演算結果信号として出力する第 4 の選択手段と

を有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し

上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一のデータとして供給する並列演算装置。

【請求項 2 1】 上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段

を有する請求項 2 0 記載の並列演算装置。

【請求項 2 2】 制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と、

制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、

制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択し、演算結果信号として出力する第 4 の選択手段と、

を有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し

上記複数の演算装置の第 1 のデータ群の入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の第 2 のデータ群の一のデータとして供給する

並列演算装置。

【請求項 2 3】 上記第 1 のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段

を有する請求項 2 2 記載の並列演算装置。

【請求項 2 4】 制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と、

制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と

制御信号に応じて第 3 のデータ群から一のデータを選択する第 3 の選択手段と

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号のうちの少なくとも 2 つの信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、

上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号のうちの少なくとも 2 つの信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、

制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択する第 4 の選択手段と

を有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し

上記複数の演算装置の第 1 のデータ群および第 2 のデータ群の入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の第 3 のデータ群の一のデータとして供給する

並列演算装置。

【請求項 2 5】 上記第 1 のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する第 1 の遅延手段と、

上記第 2 のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する第 2 の遅延手段と

を有する請求項 2 4 記載の並列演算装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、D S P (Digital Signal Processor)等に用いられ、算術論理演算を行う算術論理演算器 (A L U : Arithmetic Logic Unit) や積和演算を繰り返す M A C 構造 (Multiply-Accumulate Architecture) の演算器等を含み、外部からの制御により再構成可能な演算装置に関するものである。

【0 0 0 2】

【従来の技術】

外部からの制御により再構成可能な演算装置としては、たとえば特表平 7 - 5 0 3 8 0 4 号公報に開示された、動的構成可能ゲートアレイで構成される集積回路演算装置が知られている。

【0 0 0 3】

この集積回路演算装置は、動的構成可能フィールドプログラマブルアレイ (F P G A) により構成される。

F P G A は、多数の入出力 (I / O) ブロックと、プログラム可能論理ブロッ

クと、論理ブロックを相互に入出力ブロックに接続し、入出力パッドを介してFPGAピンに入出力ブロックを接続するための配線等の配信資源により構成される。

また、FPGAのプログラムは、構成データをFPGAの構成メモリアレイにロードされる。

そして、この演算装置は、プロセッサと再構成可能命令実行部を有し、再構成可能命令実行部を動的に変化させることで、複雑な処理をハードウェアで達成し、異なる組み合わせ論理機能を実現している。

【0004】

【発明が解決しようとする課題】

しかし、上述した演算装置は、FPGAを用いて構成され、ゲートレベルでの切り換えを行って再構成することから、論理レベルの最適化が困難で、また構成情報が大きくなり、集積回路としての面積効率も悪いという不利益がある。

【0005】

また、従来のDSPではMACやALUは1つ、あるいは2つで構成されることが多く、たとえば $MEMW = ax + by + cz + dw$ というような多項演算を行う場合、次のように行う必要がある。ここで、 $reg1 \sim reg4$ はレジスタを示す。

【0006】

【数1】

$reg1 = ax$

$reg2 = by$

$reg3 = cz$

$reg4 = dw$

$reg1 = reg1 + reg2$

$reg3 = reg3 + reg4$

$MEMW = reg1 + reg3$

【0007】

以上のように従来のDSPでは、一時レジスタにデータを書き戻して演算結果

を得る必要があった。

すなわち、従来のDSPでは、実際に行いたい演算以外にレジスタへのアクセスが必要になる。そのため余計なサイクルがかかり、演算効率の点からも低電力化の観点からも好ましくない。

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その第1の目的は、論理レベルの最適化ができ、また構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を提供することにある。

【0009】

本発明の第2の目的は、演算効率の向上を図れ、しかも低消費電力化を図れる演算装置を提供することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明は、外部からの制御により演算経路を再構成可能な演算装置であって、制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、上記第1の選択手段の出力信号、および第2の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段とを有する。

【0011】

また、本発明では、上記演算手段は、2項演算が可能である。

【0012】

また、本発明では、上記演算手段は、2項演算の結果を単項演算する。

【0013】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段を有する。

【0014】

また、本発明は、外部からの制御により演算経路を再構成可能な演算装置であって、制御信号に応じて複数の入力データから所望のデータを選択する第1の選

択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第3の選択手段と、上記第1の選択手段の出力信号、第2の選択手段の出力信号、および第3の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段とを有する。

【0015】

また、本発明では、上記演算手段は、3項演算が可能である。

【0016】

また、本発明では、上記演算手段は、3項演算の結果を単項演算する。

【0017】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段を有する。

【0018】

また、本発明は、外部からの制御により演算経路を再構成可能な演算装置であって、制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第3の選択手段と、上記第1の選択手段の出力信号、および第2の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第1の演算手段と、上記第1の選択手段の出力信号、第2の選択手段、および第3の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第2の演算手段とを有する。

【0019】

また、本発明では、制御信号に応じて、上記第1の演算手段の出力信号と上記第2の演算手段の出力信号のいずれかを選択する第4の選択手段をさらに有する。

【0020】

また、本発明では、上記第1の演算手段は2項演算が可能で、上記第2の演算手段は、3項演算が可能である。

【 0 0 2 1 】

また、本発明では、上記第 1 の演算手段は、2 項演算の結果を単項演算し、上記第 2 の演算手段は、3 項演算の結果を単項演算する。

【 0 0 2 2 】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて出力する遅延手段を有する。

【 0 0 2 3 】

また、本発明は、外部からの制御により演算経路を再構成可能な演算装置であって、制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と、制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と、上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択する第 4 の選択手段とを有する。

【 0 0 2 4 】

また、本発明は、外部からの制御により演算経路を再構成可能な演算装置であって、制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と、制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と、制御信号に応じて第 3 のデータ群から一のデータを選択する第 3 の選択手段と、上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号のうちの少なくとも 2 つの信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号のうちの少なくとも 2 つの信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択する第 4 の選択手段とを有する。

【 0 0 2 5 】

また、本発明の並列演算装置は、制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、上記第1の選択手段の出力信号、および第2の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段とを有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し、上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一のデータとして供給する。

【 0 0 2 6 】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段を有する。

【 0 0 2 7 】

また、本発明の並列演算装置は、制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第3の選択手段と、上記第1の選択手段の出力信号、第2の選択手段の出力信号、および第3の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う演算手段とを有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し、上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一のデータとして供給する。

【 0 0 2 8 】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段を有する。

【 0 0 2 9 】

また、本発明の並列演算装置は、制御信号に応じて複数の入力データから所望のデータを選択する第1の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第2の選択手段と、制御信号に応じて複数の入力データから所望のデータを選択する第3の選択手段と、上記第1の選択手段の出力信号

、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、上記第 1 の選択手段の出力信号、第 2 の選択手段の出力信号、および第 3 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択し、演算結果信号として出力する第 4 の選択手段とを有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し、上記複数の演算装置のデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の複数のデータ入力の一つのデータとして供給する。

【 0 0 3 0 】

また、本発明では、上記入力データを制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段を有する。

【 0 0 3 1 】

また、本発明の並列演算装置は、制御信号に応じて第 1 のデータ群から一のデータを選択する第 1 の選択手段と、制御信号に応じて第 2 のデータ群から一のデータを選択する第 2 の選択手段と、上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 1 の演算手段と、上記第 1 の選択手段の出力信号、および第 2 の選択手段の出力信号を入力として、制御信号の指示に応じた演算を行う第 2 の演算手段と、制御信号に応じて、上記第 1 の演算手段の出力信号と上記第 2 の演算手段の出力信号のいずれかを選択し、演算結果信号として出力する第 4 の選択手段とを有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し、上記複数の演算装置の第 1 のデータ群の入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の第 2 のデータ群の一のデータとして供給する。

【 0 0 3 2 】

また、本発明では、上記第 1 のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する遅延手段を有する。

【 0 0 3 3 】

また、本発明の並列演算装置は、制御信号に応じて第 1 のデータ群から一のデ

ータを選択する第1の選択手段と、制御信号に応じて第2のデータ群から一のデータを選択する第2の選択手段と、制御信号に応じて第3のデータ群から一のデータを選択する第3の選択手段と、上記第1の選択手段の出力信号、第2の選択手段の出力信号、および第3の選択手段の出力信号のうちの少なくとも2つの信号を入力として、制御信号の指示に応じた演算を行う第1の演算手段と、上記第1の選択手段の出力信号、第2の選択手段の出力信号、および第3の選択手段の出力信号のうちの少なくとも2つの信号を入力として、制御信号の指示に応じた演算を行う第2の演算手段と、制御信号に応じて、上記第1の演算手段の出力信号と上記第2の演算手段の出力信号のいずれかを選択する第4の選択手段とを有し、外部からの制御により演算経路を再構成可能な複数の演算装置を有し、上記複数の演算装置の第1のデータ群および第2のデータ群の入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号を他の装置の第3のデータ群の一のデータとして供給する。

【0034】

また、本発明では、上記第1のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する第1の遅延手段と、上記第2のデータ群を制御信号に応じた遅延量をもって遅延させて次段の演算装置に出力する第2の遅延手段とを有する。

【0035】

本発明によれば、第1の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、演算手段に供給される。同様に、第2の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、演算手段に供給される。

そして、演算手段では、第1の選択手段の出力信号と第2の選択手段の出力信号を用いて、制御信号の指示に応じた演算、たとえば2項演算が行われる。

また、たとえば演算手段においては、2項演算の結果が単項演算される。

【0036】

本発明によれば、第1の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、演算手段に供給される。同様に、第2の選択手段で、

制御信号に応じて複数の入力データから所望のデータが選択され、第3の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、演算手段に供給される。

そして、演算手段では、第1の選択手段の出力信号と第2の選択手段の出力信号と第3の選択手段の出力信号を用いて、制御信号の指示に応じた演算、たとえば3項演算が行われる。

また、たとえば演算手段においては、3項演算の結果が単項演算される。

【0037】

本発明によれば、第1の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、演算手段に供給される。同様に、第2の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択され、第3の選択手段で、制御信号に応じて複数の入力データから所望のデータが選択される。そして、第1の選択手段および第2の選択手段により選択された信号は第1の演算手段に供給され、また、第1の選択手段、第2の選択手段、および第3の選択手段により選択された信号は第2の演算手段に供給される。

そして、第1の演算手段では、第1の選択手段の出力信号と第2の選択手段の出力信号を用いて、制御信号の指示に応じた演算、たとえば2項演算が行われる。

また、たとえば第1の演算手段においては、2項演算の結果が単項演算される。

また、第2の演算手段では、第1の選択手段の出力信号と第2の選択手段の出力信号と第3の選択手段の出力信号を用いて、制御信号の指示に応じた演算、たとえば3項演算が行われる。

また、たとえば第2の演算手段においては、3項演算の結果が単項演算される。

そして、たとえば、第4の選択手段において、制御信号に応じて、第1の演算手段の出力信号と第2の演算手段の出力信号のいずれかが選択され、演算装置の演算結果として出力される。

【0038】

また、本発明の並列演算装置によれば、複数の演算装置のデータの入出力同士がカスケード接続され、かつ、各演算装置の演算結果信号が他の演算装置の複数のデータ入力の一のデータとして供給される。

その結果、たとえば多項演算を行う場合等に、各演算装置に各演算処理が割り当てられ、さらに前段の演算結果をカスケード接続することで、一度に多項演算が行われる。

そのため、実行サイクル数が短くなり、また、一時的なレジスタへのアクセスが少なくなる。

【 0 0 3 9 】

【発明の実施の形態】

以下、本発明の実施形態を図面に関連付けて説明する。

【 0 0 4 0 】

第 1 実施形態

図 1 は、本発明に係る演算装置の第 1 の実施形態を示す構成図である。

図 1 の演算装置 1 0 は、構成情報に基づいて再構成可能な A L U と M A C 構造の演算器を内蔵し、係数バス n ($=m+1$) 本、データバス n ($=k+1$) 本、カスケード入力 $n-1$ 本と出力データを持つ。

以下、演算装置 1 0 の具体的な構成および機能について、順を追って説明する。

【 0 0 4 1 】

本演算装置 1 0 は、図 1 に示すように、第 1 の選択装置 (S E L A) 1 1、第 2 の選択装置 (S E L B) 1 2、第 3 の選択装置 (S E L C) 1 3、A L U 1 4、M A C 構造の演算器 (以下、単に M A C という) 1 5、第 4 の選択装置 (S E L E) 1 6、レジスタ (R E G) 1 7、係数入力遅延用の k (たとえば $k=n-1$) 個の F I F O (First-In First-Out、C0FIFO~CkFIFO) 1 8-0~1 8-k、およびデータ入力遅延用の m (たとえば $m=n-1=k$) 個の F I F O (D0FIFO~DmFIFO) 1 9-1~1 9-m を主構成要素として有している。

【 0 0 4 2 】

そして、演算装置 1 0 は、係数入力 C 0 I, C 1 I, ..., C k I、データ入力

D0I, D1I, ..., DmI、カスケード入力P0, P1, ..., Pn-2、係数出力C0O, C1O, ..., CkO、データ出力D0O, D1O, ..., DmO、およびおよび演算出力Cを有し、再構成等のための演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、遅延制御信号C0DL, C1DL, ..., CkDL, D0DL, D1DL, ..., DmDLが供給される。

【0043】

第1の選択装置11は、制御信号ASELに応じて係数入力C0I, C1I, ..., CkIとデータ0を選択し、信号ase1_outとして、ALU14、およびMAC15に出力する。

【0044】

第2の選択装置12は、制御信号BSELに応じてデータ入力D0I, D1I, ..., DmIを選択し、信号bse1_outとして、ALU14、およびMAC15に出力する。

【0045】

第3の選択装置13は、制御信号CSELに応じてカスケード入力P0, P1, ..., Pn-2とデータ0を選択し、信号cse1_outとして、第1の選択装置11、ALU14、およびMAC15に出力する。

【0046】

ALU14は、alu_accをアキュムレートレジスタとし、第1の選択装置11の出力信号ase1_out、第2の選択装置12の出力信号bse1_out、および第3の選択装置13の出力信号cse1_outを入力として、制御信号ALUMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた論理演算を行い、その結果を信号alu_outとして第4の選択装置16に出力する。

【0047】

具体的には、ALU14は、制御信号RNDMDの値により丸めモードを「0方向、0から遠い方向、正の無限大方向、負の無限大方向、もっとも近い整数」から選択可能で、制御信号SATMDの値により飽和ビット幅を指定可能であり

、制御信号OSFMDの値によりシフト量を指定可能となる。

また、ALU14は、制御信号ACCMDの値によりアキュムレートレジスタ
alu__acc への値のロード、ゼロ初期化を選択可能になっている。

ALU14での演算は制御信号ALUMDの値により、以下のいずれかの演算
を行う。

【0048】

【数2】

```

alu__out = a sel__out + b sel__out
alu__out = a sel__out - b sel__out
alu__out = alu__acc + b sel__out
alu__out = alu__acc - b sel__out
alu__out = ~ b sel__out
alu__out = - b sel__out
alu__out = | b sel__out |
alu__out = | a sel__out - b sel__out |
alu__out = a sel__out & b sel__out
alu__out = a sel__out | b sel__out
alu__out = a sel__out ^ b sel__out
alu__out = MAX ( a sel__out , b sel__out )
alu__out = MIN ( a sel__out , b sel__out )
alu__out = Leading ZERO ( b sel__out )
alu__out = Leading ONE ( b sel__out )
alu__out = ALS ( b sel__out )
alu__out = ARS ( b sel__out )
alu__out = LLS ( b sel__out )
alu__out = LRS ( b sel__out )
alu__out = a sel__out + b sel__out + c sel__out
alu__out = a sel__out - b sel__out + c sel__out
alu__out = a sel__out + b sel__out - c sel__out

```

$$a l u_out = a s e l_out - b s e l_out - c s e l_out$$

【0049】

ここで、 \sim はビット反転、 $-$ は符号反転、 $|$ は絶対値、 $\&$ はAND（論理積）、 $|$ はOR（論理和）、 \wedge はEXOR（排他的論理和）を意味する。また、MAXは最大値を返す関数、MINは最小値を返す関数、Leading ZEROは2進数表記をした場合のMSBから連続する0の個数を返す関数、Leading ONEは2進数表記をした場合のMSBから連続する1の個数を返す関数、ALSは算術左シフト、ARSは算術右シフト、LLSは論理左シフト、LRSは論理右シフトを意味している。

【0050】

MAC15は、 mac_acc をアキュムレートレジスタとし、第1の選択装置11の出力信号 $a s e l_out$ 、第2の選択装置12の出力信号 $b s e l_out$ 、および第3の選択装置13の出力信号 $c s e l_out$ を入力として、制御信号MACMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた演算を行い、その結果を信号 mac_out として出力する。

【0051】

具体的には、MAC15は、制御信号RNDMDの値により丸めモードを「0方向、0から遠い方向、正の無限大方向、負の無限大方向、もっとも近い整数」のうちから選択可能であり、制御信号SATMDの値により飽和ビット幅を指定可能、かつ制御信号OSFMDの値によりシフト量を指定可能になっている。また、MAC15は、制御信号ACCMDの値によりアキュムレートレジスタ mac_acc への値のロード、ゼロ初期化が選択も可能である。

MAC15での演算は、制御信号MACMDの値により、以下のいずれかの演算を行う。

【0052】

【数3】

$$mac_out = a s e l_out * b s e l_out$$

$$mac_out = - (a s e l_out * b s e l_out)$$

$$mac_out = a s e l_out * b s e l_out + c s e l_out$$

$$mac_out = - (a_sel_out * b_sel_out) + c_sel_out$$

$$mac_out = a_sel_out * b_sel_out - c_sel_out$$

$$mac_out = - (a_sel_out * b_sel_out) - c_sel_out$$

$$mac_out = a_sel_out * b_sel_out + mac_acc$$

$$mac_out = - (a_sel_out * b_sel_out) + mac_acc$$

$$mac_out = a_sel_out * b_sel_out - mac_acc$$

$$mac_out = - (a_sel_out * b_sel_out) - mac_acc$$

【0053】

第4の選択装置16は、制御信号ESELに応じて、ALU14の出力信号a_lu_outとMAC15の出力信号mac_outのいずれかを選択し、信号e_sel_outとしてレジスタ17に出力する。

【0054】

レジスタ17は、第4の選択装置16の出力信号e_sel_outを格納し、また格納データを第2の選択装置12に出力するとともに、演算出力Cとして出力する。

【0055】

C0FIFO18-0は、制御信号C0DLの値により任意のサイクル遅延が可能であり、係数入力C0Iを制御信号C0DLの値に応じたサイクルを持って遅延させて、係数出力C0Oを得、たとえば次段の装置に出力する。

【0056】

C1FIFO18-1は、制御信号C1DLの値により任意のサイクル遅延が可能であり、係数入力C1Iを制御信号C1DLの値に応じたサイクルを持って遅延させて、係数出力C1Oを得、たとえば次段の装置に出力する。

【0057】

同様に、CkFIFO18-kは、制御信号CkDLの値により任意のサイクル遅延が可能であり、係数入力CkIを制御信号CkDLの値に応じたサイクルを持って遅延させて、係数出力CkOを得、たとえば次段の装置に出力する。

【0058】

D0FIFO19-0は、制御信号D0DLの値により任意のサイクル遅延が

可能であり、データ入力D0Iを制御信号D0DLの値に応じたサイクルを持って遅延させて、データ出力D0Oを得、たとえば次段の装置に出力する。

【0059】

D1FIFO19-1は、制御信号D1DLの値により任意のサイクル遅延が可能であり、データ入力D1Iを制御信号D1DLの値に応じたサイクルを持って遅延させて、データ出力D1Oを得、たとえば次段の装置に出力する。

【0060】

同様に、DmFIFO19-mは、制御信号DmDLの値により任意のサイクル遅延が可能であり、データ入力DmIを制御信号DmDLの値に応じたサイクルを持って遅延させて、データ出力DmOを得、たとえば次段の装置に出力する。

【0061】

なお、本実施形態では、所定のサイクルをもって遅延させない場合も遅延0として、遅延の定義に含めるものとする。

【0062】

次に、上記構成による動作を、図2に示すように、 $n=4$ で、係数入出力、データ入出力が4、カスケード入力が3である演算装置10Aの動作について説明する。

【0063】

なおここでは、係数入力C0I, C1I, C2I, C3Iはそれぞれa, b, c, d、データ入力D0I, D1I, D2I, D3Iはそれぞれx, y, z, wであるものとする。また、カスケード入力P0, P1, P2はそれぞれ $a * x$ 、 $a * x + b * y$ 、 $a * x + b * y + c * z$ であるものとする。

【0064】

まず、 $C = a * x$ を求める場合を説明する。

【0065】

この場合、制御信号ASELが係数入力C0I (a)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力D0I (x)を選択するように設定され

て第2の選択装置12に供給される。

これにより、第1の選択装置11から係数 a が信号 $a\ sel_out$ として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ x が信号 $b\ sel_out$ として、ALU14およびMAC15に出力される。

【0066】

このとき、乗算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数 a とデータ x との乗算が行われ、その結果 $a * x$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号 mac_out ($a * x$) が選択され、信号 $esel_out$ ($a * x$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x$ が格納され、この格納データが演算出力Cとして出力される。

【0067】

次に、 $C = a * x + b * y$ を求める場合を説明する。

【0068】

この場合、制御信号ASELが係数入力C1I (b) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力D1I (y) を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力P0 ($a * x$) を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数 b が信号 $a\ sel_out$ として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ y が信号 $b\ sel_out$ として、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x$ が信号 $c\ sel_out$ として第1の選択装置11、ALU14およびMAC15に出力される。

【0069】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数 b とデータ y との乗算が行われ、さらに、その結果 $b * y$ と $a * x$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y$ が信号`mac__out`として第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号`mac__out` ($a * x + b * y$) が選択され、信号`esel__out` ($a * x + b * y$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y$ が格納され、この格納データが演算出力Cとして出力される。

【0070】

次に、 $C = a * x + b * y + c * z$ を求める場合を説明する。

【0071】

この場合、制御信号ASELが係数入力C2I (c) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力D2I (z) を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力P1 ($a * x + b * y$) を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数 c が信号`asel__out` として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ z が信号`b sel__out` として、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y$ が信号`c sel__out` として第1の選択装置11、ALU14およびMAC15に出力される。

【0072】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数 c とデータ z との乗算が行われ、さら

に、その結果 $c * z$ と $(a * x + b * y)$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z$ が信号 `mac_out` として第4の選択装置16に出力される。

そして、制御信号 `ESEL` がMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号 `mac_out` ($a * x + b * y + c * z$) が選択され、信号 `sel_out` ($a * x + b * y + c * z$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z$ が格納され、この格納データが演算出力Cとして出力される。

【0073】

次に、 $C = a * x + b * y + c * z + d * w$ を求める場合を説明する。

【0074】

この場合、制御信号 `ASEL` が係数入力C3I (d) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号 `BSEL` がデータ入力D3I (w) を選択するように設定されて第2の選択装置12に供給される。

また、制御信号 `CSEL` がカスケード入力P2 ($a * x + b * y + c * z$) を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数 d が信号 `asel_out` として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ w が信号 `b_sel_out` として、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y + c * z$ が信号 `c_sel_out` として第1の選択装置11、ALU14およびMAC15に出力される。

【0075】

このとき、乗加算を指定する制御信号 `MACMD` が、MAC15に供給される。これにより、MAC15において、係数 d とデータ w との乗算が行われ、さらに、その結果 $d * w$ と $(a * x + b * y + c * z)$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z + d * w$ が信号 `mac`

__outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac__out ($a * x + b * y + c * z + d * w$) が選択され、信号esel__out ($a * x + b * y + c * z + d * w$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z + d * w$ が格納され、この格納データが演算出力Cとして出力される。

【0076】

以上説明したように、本第1の実施形態によれば、制御信号ASELに応じて係数入力C0I, C1I, ..., CkIとデータ0を選択する第1の選択装置11と、制御信号BSELに応じてデータ入力D0I, D1I, ..., DmIを選択する第2の選択装置12と、制御信号CSELに応じてカスケード入力P0, P1, ..., Pn-2とデータ0を選択する第3の選択装置13と、第1の選択装置11の出力信号asel__out、第2の選択装置12の出力信号bsel__out、および第3の選択装置13の出力信号csel__outを入力として、制御信号ALUMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた論理演算を行うALU14と、第1の選択装置11の出力信号asel__out、第2の選択装置12の出力信号bsel__out、および第3の選択装置13の出力信号csel__outを入力として、制御信号MACMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた演算を行うMAC15と、制御信号ESELに応じて、ALU14の出力信号alu__outとMAC15の出力信号mac__outのいずれかを選択する第4の選択装置16とを設けたので、演算装置自体を外部から再構成可能である。

【0077】

したがって、本第1の実施形態によれば、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列

演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0078】

第2実施形態

図3は、本発明に係る並列演算装置の第2の実施形態を示す構成図である。

【0079】

本第2の実施形態では、図1の演算装置を複数個（ n 個）カスケード接続して、他の演算装置の演算結果をカスケード入力することで、多くの並列化可能な処理を効率良く実行するように構成している。

【0080】

各演算装置10-0～10- $n-1$ （ $PE_0 \sim PE_{n-1}$ ）は、係数入力端子 $PE_COI \sim PE_CKI$ 、データ入力端子 $PE_DOI \sim PE_DMI$ 、カスケード入力端子 $PE_P_0 \sim PE_P_{n-2}$ 、係数出力端子 $PE_COO \sim PE_CKO$ 、データ出力端子 $PE_DOO \sim PE_DMO$ 、および演算出力端子 PE_C を有している。

【0081】

演算装置10-0においては、係数入力端子 $PE_COI \sim PE_CKI$ に係数 $COI \sim CKI$ が供給され、データ入力端子 $PE_DOI \sim PE_DMI$ にデータ入力 $DOI \sim DMI$ が供給され、カスケード入力 $PE_P_0 \sim PE_P_{n-2}$ に他の演算装置10-1～10- $n-1$ の演算出力端子 PE_C から出力される演算結果信号 $OT_1 \sim OT_{n-1}$ が供給される。たとえばカスケード入力 PE_P_0 には、最終段の演算装置10- $n-1$ の演算結果信号 OT_{n-1} が供給され、カスケード入力端子 PE_P_{n-2} に次段の演算装置10-1の演算結果信号 OT_1 が供給される。

また、演算装置10-0において、係数出力端子 $PE_COO \sim PE_CKO$ から $COFIFO_{18-0} \sim CKFIFO_{18-k}$ で所望の遅延量だけ遅延された係数が係数出力 $c_{00} \sim c_{k0}$ として次段の演算装置10-1に出力され、データ出力端子 $PE_DOO \sim PE_DMO$ から $DOFIFO_{19-0} \sim DMFIFO_{19-m}$ で所望の遅延量だけ遅延されたデータがデータ出力 $d_{00} \sim d_{k0}$

として次段の演算装置 10-1 に出力される。

また、演算装置 10-0 においては、演算出力端子 PE_C から演算結果信号 OT0 が他の演算装置 10-1 ~ 10-n-1 に出力される。

なお、図 3 においては、演算装置 10-0 に供給されるべき演算制御信号 AS EL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号 C0DL, C1DL, ... CkDL, D0DL, D1DL, ... DmDL は、簡単化のため制御信号 CTL0 として示している。

【0082】

演算装置 10-1 においては、係数入力端子 PE_C0I ~ PE_CkI に演算装置 10-0 の係数出力 c00 ~ ck0 が供給され、データ入力端子 PE_D0I ~ PE_DmI に演算装置 10-0 のデータ出力 d00 ~ dm0 が供給され、カスケード入力 PE_P0 ~ PE_Pn-2 に他の演算装置 10-0、10-2 (図示せず) ~ 10-n-1 の演算出力端子 PE_C から出力される演算結果信号 OT0, OT2 ~ OTn-1 が供給される。たとえばカスケード入力 PE_P0 には、前段の演算装置 10-0 の演算結果信号 OT0 が供給され、カスケード入力端子 PE_Pn-2 に演算装置 10-n-2 の演算結果信号 OTn-2 が供給される。

また、演算装置 10-1 において、係数出力端子 PE_C0O ~ PE_CkO から C0FIFO18-0 ~ CkFIFO18-k で所望の遅延量だけ遅延された係数が係数出力 c01 ~ ck1 として次段の演算装置 10-2 に出力され、データ出力端子 PE_D0O ~ PE_DmO から D0FIFO19-0 ~ DmFIFO19-m で所望の遅延量だけ遅延されたデータがデータ出力 d01 ~ dk1 として次段の演算装置 10-2 に出力される。

また、演算装置 10-1 においては、演算出力端子 PE_C から演算結果信号 OT1 が他の演算装置 10-0, 10-2 ~ 10-n-1 に出力される。

なお、図 3 においては、演算装置 10-1 に供給されるべき演算制御信号 AS EL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号 C0DL, C1DL, ... CkDL

L, D0DL, D1DL, ... DmDLは、簡単化のため制御信号CTL1として示している。

【0083】

同様に、演算装置10-i ($2 \leq i \leq n-2$) においては、係数入力端子PE__C0I~PE__CkIに演算装置10-i-1の係数出力c0i-1~cki-1が供給され、データ入力端子PE__D0I~PE__DmIに演算装置10-i-1のデータ出力d0i-1~dmi-1が供給され、カスケード入力PE__P0~PE__Pn-2に他の演算装置10-0~10-i-1, 10-i+1~10-n-1の演算出力端子PE__Cから出力される演算結果信号OT0~OTi-1, OTi+1~OTn-1が供給される。

また、演算装置10-iにおいて、係数出力端子PE__C0O~PE__CkOからC0FIFO18-0~CkFIFO18-kで所望の遅延量だけ遅延された係数が係数出力c0i~ckiとして次段の演算装置10-i+1に出力され、データ出力端子PE__D0O~PE__DmOからD0FIFO19-0~DmFIFO19-mで所望の遅延量だけ遅延されたデータがデータ出力d0i~dkiとして次段の演算装置10-i+1に出力される。

また、演算装置10-iにおいては、演算出力端子PE__Cから演算結果信号OTiが他の演算装置10-0~10-i-1, 10-i+1~10-n-1に出力される。

なお、図示しないが、演算装置10-iには、演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, ... CkDL, D0DL, D1DL, ... DmDLが、たとえば制御信号CTLiとして供給される。

【0084】

そして、演算装置10-n-1においては、係数入力端子PE__C0I~PE__CkIに演算装置10-n-2の係数出力c0n-2~ckn-2が供給され、データ入力端子PE__D0I~PE__DmIに演算装置10-n-2のデータ出力d0n-2~dmn-2が供給され、カスケード入力PE__P0~PE__Pn-2に他の演算装置10-0~10-n-2の演算出力端子PE__Cから出力される演算結果信

号 $OT_0 \sim OT_{n-2}$ が供給される。たとえばカスケード入力 PE_P_0 には、前段の演算装置 $10-n-2$ の演算結果信号 OT_{n-2} が供給され、カスケード入力端子 PE_P_{n-2} に演算装置 $10-0$ の演算結果信号 OT_0 が供給される。

また、演算装置 $10-n-1$ において、係数出力端子 $PE_C_0 \sim PE_C_k$ からの係数出力、およびデータ出力端子 $PE_D_0 \sim PE_D_m$ からのデータ出力の他の演算装置への出力は行われない。

また、演算装置 $10-n-1$ においては、演算出力端子 PE_C から演算結果信号 OT_{n-1} が他の演算装置 $10-0 \sim 10-n-2$ に出力される。

なお、図3においては、演算装置 $10-n-1$ に供給されるべき演算制御信号 A_{SEL} , B_{SEL} , E_{SEL} , $MACMD$, $ALUMD$, $RNDMD$, $SATMD$, $OSFMD$, $ACCMD$ 、および遅延制御信号 C_0DL , C_1DL , $\dots C_kDL$, D_0DL , D_1DL , $\dots D_mDL$ は、簡単化のため制御信号 CTL_{n-1} として示している。

【0085】

次に、本第2の実施形態の動作を、図4に示すように、カスケード接続する演算装置数を4 ($n=4$) の場合を例に説明する。

この場合における各演算装置 $10A-0 \sim 10A-3$ は、図2に示す構成を有する。したがって、動作説明は、図2および図4に関連付けて行う。

なおここでは、以下の演算を行う場合を例に説明する。

【0086】

【数4】

$$out = a * x + b * y + c * z + d * w$$

【0087】

そして、演算装置 $10A-0$ への係数入力 C_0I , C_1I , C_2I , C_3I はそれぞれ a , b , c , d 、データ入力 D_0I , D_1I , D_2I , D_3I はそれぞれ x , y , z , w であるものとする。

【0088】

まず、演算装置 $10A-0$ においては、制御信号 CTL_0 により、演算結果信号 $OT_0 = a * x$ となる演算が行われるように制御が行われる。

【0089】

この場合、演算装置10A-0において、制御信号ASELが係数入力COI(a)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力DOI(x)を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数aが信号ase1_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータxが信号bse1_outとして、ALU14およびMAC15に出力される。

【0090】

このとき、乗算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数aとデータxとの乗算が行われ、その結果a*xが信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out(a*x)が選択され、信号ese1_out(a*x)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果a*xが格納され、この格納データが演算出力端子PE_Cから演算結果信号OT0として、演算装置10A-1のカスケード入力PE_P0、演算装置10A-2のカスケード入力PE_P1、および演算装置10A-3のカスケード入力PE_P2に出力される。

【0091】

演算装置10A-0においては、COFIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数a, b, c, dが係数出力端子PE_C00~PE_C30から係数出力c00~c30として次段の演算装置10A-1の係数入力端子PE_C0I~PE_C3Iに出力され、DOFIFO19-0~D3FIFO19-3で所望の遅延量だけ遅延されたデータx, y, z, wがデータ出力端子PE_D00~PE_D30からデータ出力d00~d30として次段の演算装置10A-1のデータ入力端子PE_D0I~PE_D3Iに出力される。

【0092】

次に、演算装置10A-1においては、制御信号CTL1により、演算結果信号 $OT1 = OT0 + b * y = a * x + b * y$ となる演算が行われるように制御が行われる。

【0093】

この場合、制御信号ASELが係数入力端子PE_C1Iに供給される演算装置10A-0の係数出力c10 (b)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE_D1Iに供給される演算装置10A-0のデータ出力d10 (y)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE_P0に供給される演算装置10A-0の演算結果信号OT0 ($a * x$)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数bが信号ase1_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータyが信号bse1_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x$ が信号cse1_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0094】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数bとデータyとの乗算が行われ、さらに、その結果 $b * y$ と $a * x$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y$ が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out ($a * x + b * y$) が選択され、信号ese1_out ($a * x + b * y$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y$ が格納され、この格納データが演算出力端子PE__Cから演算結果信号OT1として、演算装置10A-0のカスケード入力PE__P2、演算装置10A-2のカスケード入力PE__P0、および演算装置10A-3のカスケード入力PE__P1に出力される。

【0095】

演算装置10A-1においては、C0FIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数 a, b, c, d が係数出力端子PE__C00~PE__C30から係数出力 $c01 \sim c31$ として次段の演算装置10A-2の係数入力端子PE__C0I~PE__C3Iに出力され、D0FIFO19-0~DmFIFO19-3で所望の遅延量だけ遅延されたデータ x, y, z, w がデータ出力端子PE__D00~PE__D30からデータ出力 $d01 \sim d31$ として次段の演算装置10A-3のデータ入力端子PE__D0I~PE__D3Iに出力される。

【0096】

次に、演算装置10A-2においては、制御信号CTL2により、演算結果信号 $OT2 = OT1 + c * z = a * x + b * y + c * z$ となる演算が行われるように制御が行われる。

【0097】

この場合、制御信号ASELが係数入力端子PE__C2Iに供給される演算装置10A-1の係数出力 $c21 (c)$ を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE__D2Iに供給される演算装置10A-1のデータ出力 $d21 (z)$ を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE__P0に供給される演算装置10A-1の演算結果信号OT1 ($a * x + b * y$)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数 c が信号 a_sel_out として、ALU14およびMAC15に出力される。また、第2の選択装置12からデータ

zが信号 `b sel_out` として、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y$ が信号 `c sel_out` として第1の選択装置11、ALU14およびMAC15に出力される。

【0098】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数cとデータzとの乗算が行われ、さらに、その結果 $c * z$ と $(a * x + b * y)$ との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z$ が信号 `mac_out` として第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号 `mac_out` ($a * x + b * y + c * z$) が選択され、信号 `esel_out` ($a * x + b * y + c * z$) としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z$ が格納され、この格納データが演算出力端子PE_Cから演算結果信号OT2として、演算装置10A-0のカスケード入力PE_P1、演算装置10A-2のカスケード入力PE_P2、および演算装置10A-3のカスケード入力PE_P0に出力される。

【0099】

演算装置10A-2においては、C0FIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数a, b, c, dが係数出力端子PE_C00~PE_C30から係数出力c02~c32として次段の演算装置10A-3の係数入力端子PE_C0I~PE_C3Iに出力され、D0FIFO19-0~DmFIFO19-3で所望の遅延量だけ遅延されたデータx, y, z, wがデータ出力端子PE_D00~PE_D30からデータ出力d02~d32として次段の演算装置10A-3のデータ入力端子PE_D0I~PE_D3Iに出力される。

【0100】

次に、演算装置10A-3においては、制御信号CTL3により、演算結果信号 $OT3 = OT2 + d * w = a * x + b * y + c * z + d * w$ となる演算が行われるように制御が行われる。

【0101】

この場合、制御信号ASELが係数入力端子PE_C3Iに供給される演算装置10A-2の係数出力c32(d)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE_D3Iに供給される演算装置10A-2のデータ出力d32(w)を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE_P0に供給される演算装置10A-2の演算結果信号OT2($a * x + b * y + c * z$)を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数dが信号ase1_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータwが信号bse1_outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $a * x + b * y + c * z$ が信号cse1_outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0102】

このとき、乗加算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数dとデータwとの乗算が行われ、さらに、その結果 $d * w$ と($a * x + b * y + c * z$)との加算が行われる。これにより、MAC15から乗加算結果 $a * x + b * y + c * z + d * w$ が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out($a * x + b * y + c * z + d * w$)が選択され、信号ese1_out($a * x + b * y + c * z + d * w$)としてレジスタ17に

出力される。

レジスタ17では、MAC15の演算結果 $a * x + b * y + c * z + d * w$ が格納され、この格納データが演算出力端子PE__Cから演算結果信号OT3として所望の演算結果outとして出力され、演算装置10A-0のカスケード入力PE__P0、演算装置10A-2のカスケード入力PE__P1、および演算装置10A-2のカスケード入力PE__P2に出力される。

【0103】

以上において、図2において図4に示す遅延制御信号C0DL, C1DL, C2DL, C3DLはすべて遅延0となるように、各C0FIFO18-0~C3FIFO18-3に供給される。

また、遅延制御信号D0DLは遅延0となるように、D0FIFO19-0に供給され、遅延制御信号D1DLは遅延1となるように、D1FIFO19-1に供給され、遅延制御信号D2DLは遅延2となるように、D2FIFO19-2に供給され、遅延制御信号D3DLは遅延3となるように、D3FIFO19-3に供給される。

【0104】

以上説明したように、本第2の実施形態によれば、制御信号ASELに応じて係数入力C0I, C1I, ..., CkIとデータ0を選択する第1の選択装置11と、制御信号BSELに応じてデータ入力D0I, D1I, ..., DmIを選択する第2の選択装置12と、制御信号CSELに応じてカスケード入力P0, P1, ..., Pn-2とデータ0を選択する第3の選択装置13と、第1の選択装置11の出力信号ase1__out、第2の選択装置12の出力信号bse1__out、および第3の選択装置13の出力信号cse1__outを入力として、制御信号ALUMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた論理演算を行うALU14と、第1の選択装置11の出力信号ase1__out、第2の選択装置12の出力信号bse1__out、および第3の選択装置13の出力信号cse1__outを入力として、制御信号MACMD, RNDMD, SATMD, OSFMD, ACCMDの指示に応じた演算を行うMAC15と、制御信号ESELに応じて、ALU14の出力信号alu__outとMAC15の出力信号

mac_out のいずれかを選択する第 4 の選択装置 1 6 と、遅延制御信号 C O D L ~ C k D L の値により任意のサイクル遅延可能であり、係数入力を遅延制御信号 C O D L ~ C k D L の値に応じたサイクルを持って遅延させて、係数出力を得、次段の装置に出力する C O F I F O 1 8 - 0 ~ C k F I F O 1 8 - k と、制御信号 D O D L ~ D m D L の値により任意のサイクル遅延可能であり、データ入力を遅延制御信号 D O D L ~ D m D L の値に応じたサイクルを持って遅延させて、データ出力を得、次段の装置に出力する D O F I F O 1 9 - 0 ~ D m F I F O 1 9 - m とを有する複数の演算装置 1 0 - 0 ~ 1 0 - n - 1 を設け、演算装置 1 0 - 0 ~ 1 0 - n - 1 の係数およびデータの入出力同士をカスケード接続し、かつ、各演算装置の演算結果信号 O T 0 ~ O T n - 1 を他の装置のカスケード入力 P E _ P 0 , P E _ P 1 , … , P E _ P n - 2 として供給するように構成したので、演算装置自体を外部から再構成可能である。

【 0 1 0 5 】

したがって、本第 2 の実施形態によれば、上述した第 1 の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【 0 1 0 6 】

また、MAC や ALU が 1 あるいは 2 である DSP では $MEMW = ax + by + cz + dw$ の演算を行う場合、一時レジスタにデータを書き戻して演算結果を得る必要があったのに対して、本第 2 の実施形態によれば、各演算装置に ax , by , cz , dw の演算を割り当て、さらに前段の演算結果をカスケードすることで一度に MEMW の演算が可能になっている。

そのため、実行サイクル数が短くなる。また一時レジスタへのアクセスが少なくなるため電力の消費も抑えることができる利点がある。

【 0 1 0 7 】

第 3 実施形態

図 5 は、本発明に係る演算装置の第 3 の実施形態を示す構成図である。

【 0 1 0 8 】

図 5 の演算装置 2 0 は、構成情報に基づいて再構成可能な演算装置であって、4 入力 4 出力の演算を行い、バタフライ演算とシフト演算を同時に実行可能に構成されている。

【 0 1 0 9 】

本演算装置 2 0 は、単項演算手段としてのシフト演算器 (SFT 0) 2 1 - 0、およびシフト演算器 (SFT 1) 2 1 - 1、入力選択装置 (RSEL 0) 2 2 - 0、入力選択装置 (RSEL 1) 2 2 - 1、2 入力 2 出力のバタフライ演算器 (BTF 0) 2 3、出力選択装置 (DSEL 0) 2 4 - 0、出力選択装置 (DSEL 1) 2 4 - 1、出力選択装置 (WSEL 0) 2 5 - 0、および出力選択装置 (WSEL 1) 2 5 - 1 を有している。

【 0 1 1 0 】

そして、演算装置 2 0 は、データ入力 MEMR 0、MEMR 1、I 0、I 1、およびデータ出力 MEMW 0、MEMW 1、D 0、D 1 を有し、また、再構成等のための制御信号 BTFMD 0、ROSEL、R1SEL、WOSEL、W1SEL、DOSEL、D1SEL が供給される。

【 0 1 1 1 】

シフト演算器 2 1 - 0 は、データ入力 MEMR 0 の値を制御信号 SFT 0MD に応じて単項演算、具体的には、制御信号 SFT 0MD が示す値 (シフト量) に応じて左または右に任意ビットだけシフトする演算を行って、その結果を入力選択装置 2 2 - 0 および出力選択装置 2 4 - 0 に出力する。なお、シフト演算器 2 1 - 0 は、たとえば制御信号 SFT 0MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR 0 をそのまま出力する。

【 0 1 1 2 】

シフト演算器 2 1 - 1 は、データ入力 MEMR 1 の値を制御信号 SFT 1MD に応じて単項演算、具体的には、制御信号 SFT 1MD が示す値 (シフト量) に応じて左または右に任意ビットだけシフトする演算を行って、その結果を入力選択装置 2 2 - 1 および出力選択装置 2 4 - 1 に出力する。なお、シフト演算器 2

1-1 は、たとえば制御信号 SFT1MD が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 MEMR1 をそのまま出力する。

【0113】

入力選択装置 22-0 は、制御信号 R0SEL に応じて、シフト演算器 21-0 の出力データおよびデータ入力 I0 のいずれかを選択し、信号 r0sel_out としてバタフライ演算器 23 に出力する。

【0114】

入力選択装置 22-1 は、制御信号 R1SEL に応じて、シフト演算器 21-1 の出力データおよびデータ入力 I1 のいずれかを選択し、信号 r1sel_out としてバタフライ演算器 23 に出力する。

【0115】

バタフライ演算器 23 は、入力端子 DA に入力選択装置 22-0 の出力信号 r0sel_out を入力し、入力端子 DB の入力選択装置 22-1 の出力信号 r1sel_out を入力し、制御端子 CTL に供給される制御信号 BTFMD0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 btf0a_out として出力選択装置 24-0 および 25-0 に出力し、他方の演算結果を出力端子 OB から信号 btf0b_out として出力選択装置 24-1 および 25-1 に出力する。

【0116】

具体的には、バタフライ演算器 23 は、制御信号 BTFMD0 の値により、以下のいずれかの演算を選択的に行う。

【0117】

【数 5】

$$\begin{aligned} \text{btf0a_out} &= \text{r1sel_out}, \text{btf0b_out} = \text{r0sel_out} \\ \text{btf0a_out} &= \text{r1sel_out}, \text{btf0b_out} = -\text{r0sel_out} \\ \text{btf0a_out} &= -\text{r1sel_out}, \text{btf0b_out} = \text{r0sel_out} \\ \text{btf0a_out} &= -\text{r1sel_out}, \text{btf0b_out} = -\text{r0sel_out} \\ \text{btf0a_out} &= \text{r0sel_out}, \text{btf0b_out} = \text{r1sel_out} \\ \text{btf0a_out} &= \text{r0sel_out}, \text{btf0b_out} = -\text{r1sel_out} \end{aligned}$$

$$\text{btf0 a_out} = -\text{r0sel_out}, \text{btf0 b_out} = \text{r1sel_out}$$

$$\text{btf0 a_out} = -\text{r0sel_out}, \text{btf0 b_out} = -\text{r1sel_out}$$

$$\begin{aligned} \text{btf0 a_out} &= \text{r0sel_out} + \text{r1sel_out}, \text{btf0 b_out} \\ &= \text{r0sel_out} - \text{r1sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf0 a_out} &= \text{r0sel_out} + \text{r1sel_out}, \text{btf0 b_out} \\ &= \text{r1sel_out} - \text{r0sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf0 a_out} &= \text{r0sel_out} - \text{r1sel_out}, \text{btf0 b_out} \\ &= \text{r0sel_out} + \text{r1sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf0 a_out} &= \text{r1sel_out} - \text{r0sel_out}, \text{btf0 b_out} \\ &= \text{r0sel_out} + \text{r1sel_out} \end{aligned}$$

【 0 1 1 8 】

出力選択装置 2 4 - 0 は、制御信号 D 0 S E L に応じて、シフト演算器 2 1 - 0 の出力信号（たとえば M E M R 0）とバタフライ演算器 2 3 の出力信号 b t f 0 a_out のいずれかを選択し、信号 D 0 として出力する。

【 0 1 1 9 】

出力選択装置 2 4 - 1 は、制御信号 D 1 S E L に応じて、シフト演算器 2 1 - 1 の出力信号（たとえば M E M R 1）とバタフライ演算器 2 3 の出力信号 b t f 0 b_out のいずれかを選択し、信号 D 1 として出力する。

【 0 1 2 0 】

出力選択装置 2 5 - 0 は、制御信号 W 0 S E L に応じて、データ入力 I 0 とバタフライ演算器 2 3 の出力信号 b t f 0 a_out のいずれかを選択し、信号 M E M W 0 として出力する。

【 0 1 2 1 】

出力選択装置 2 5 - 1 は、制御信号 W 1 S E L に応じて、データ入力 I 1 とバタフライ演算器 2 3 の出力信号 b t f 0 b_out のいずれかを選択し、信号 M E M W 1 として出力する。

【 0 1 2 2 】

次に、上記構成による動作を説明する。

ここでは、

$D0 = MEMR0,$
 $D1 = MEMR0 - MEMR1,$
 $MEMW0 = MEMR0 + MEMR1,$
 $MEMW1 = I1$

の演算を実行するものとする。

【0123】

たとえばシフト演算器21-0, 21-1のシフト量が、制御信号SFTOMD, SFT1MDによりゼロに設定される。

したがって、シフト演算器21-0の出力はMEMR0となり、入力選択装置22-0および出力選択装置24-0に供給される。

同様に、シフト演算器21-1の出力はMEMR1となり、入力選択装置22-1および出力選択装置24-1に供給される。

【0124】

入力選択装置22-0では、制御信号R0SELにより、シフト演算器21-0の出力信号、すなわちMEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バラフライ演算器23の入力端子DAに供給される。

また、入力選択装置22-1では、制御信号R1SELにより、シフト演算器21-1の出力信号、すなわちMEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バラフライ演算器23の入力端子DBに供給される。

【0125】

バラフライ演算器23では、制御端子CTLに供給される制御信号BTfMD0により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設定される。

これにより、バラフライ演算器23においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1とが加算され、その結果である($MEMR0 + MEMR1$)が出力端子OAから信号btfoa_outとして、出力選択装置24-0および25-0に出力される。

また、バタフライ演算器 2 3 においては、入力端子 D A に供給されたデータ M E M R 0 と入力端子 D B に供給されたデータ M E M R 1 との差がとられ、その結果である (M E M R 0 - M E M R 1) が出力端子 O B から信号 b t f 0 b _out として、出力選択装置 2 4 - 1 および 2 5 - 1 に出力される。

【 0 1 2 6 】

出力選択装置 2 4 - 0 では、シフト演算器 2 1 - 0 の出力信号 (M E M R 0) とバタフライ演算器 2 3 の出力信号 b t f 0 a _out (=M E M R 0 + M E M R 1) のうち、シフト演算器 2 1 - 0 の出力信号 (M E M R 0) を選択するように制御信号 D 0 S E L が供給され、これにより選択されたデータが信号 D 0 = M E M R 0 として出力される。

【 0 1 2 7 】

出力選択装置 2 5 - 0 では、データ入力 I 0 とバタフライ演算器 2 3 の出力信号 b t f 0 a _out (=M E M R 0 + M E M R 1) のうち、バタフライ演算器 2 3 の出力信号 b t f 0 a _out を選択するように制御信号 W 0 S E L が供給され、これにより選択されたデータが信号 M E M W 0 = M E M R 0 + M E M R 1 として出力される。

【 0 1 2 8 】

また、出力選択装置 2 5 - 1 では、データ入力 I 1 とバタフライ演算器 2 3 の出力信号 b t f 0 b _out (=M E M R 0 - M E M R 1) のうち、データ入力 I 1 を選択するように制御信号 W 1 S E L が供給され、これにより選択されたデータが信号 M E M W 1 = I 1 として出力される。

【 0 1 2 9 】

出力選択装置 2 4 - 1 では、シフト演算器 2 1 - 1 の出力信号 (M E M R 1) とバタフライ演算器 2 3 の出力信号 b t f 0 b _out (=M E M R 0 - M E M R 1) のうち、バタフライ演算器 2 3 の出力信号 b t f 0 b _out を選択するように制御信号 D 1 S E L が供給され、これにより選択されたデータが信号 D 1 = M E M R 0 - M E M R 1 として出力される。

【 0 1 3 0 】

以上説明したように、本第 3 の実施形態によれば、データ入力 M E M R 0 の値

を制御信号 S F T 0 M D が示す値に応じて左または右に任意ビットだけシフトする演算を行うシフト演算器 2 1 - 0 と、データ入力 M E M R 1 の値を制御信号 S F T 1 M D が示す値に応じて左または右に任意ビットだけシフトする演算を行うシフト演算器 2 1 - 1 と、制御信号 R 0 S E L に応じて、シフト演算器 2 1 - 0 の出力データおよびデータ入力 I 0 のいずれかを選択し、信号 r 0 s e l _ o u t として出力する入力選択装置 2 2 - 0 と、制御信号 R 1 S E L に応じて、シフト演算器 2 1 - 1 の出力データおよびデータ入力 I 1 のいずれかを選択し、信号 r 1 s e l _ o u t として出力する入力選択装置 2 2 - 1 と、入力端子 D A に入力選択装置 2 2 - 0 の出力信号 r 0 s e l _ o u t を入力し、入力端子 D B に入力選択装置 2 2 - 1 の出力信号 r 1 s e l _ o u t を入力し、制御端子 C T L に供給される制御信号 B T F M D 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 0 a _ o u t として出力選択装置 2 4 - 0 および 2 5 - 0 に出力し、他方の演算結果を出力端子 O B から信号 b t f 0 b _ o u t として出力選択装置 2 4 - 1 および 2 5 - 1 に出力するバタフライ演算器 2 3 と、制御信号 D 0 S E L に応じて、シフト演算器 2 1 - 0 の出力信号とバタフライ演算器 2 3 の出力信号 b t f 0 a _ o u t のいずれかを選択し、信号 D 0 として出力する出力選択装置 2 4 - 0 と、制御信号 D 1 S E L に応じて、シフト演算器 2 1 - 1 の出力信号とバタフライ演算器 2 3 の出力信号 b t f 0 b _ o u t のいずれかを選択し、信号 D 1 として出力する出力選択装置 2 4 - 1 と、制御信号 W 0 S E L に応じて、データ入力 I 0 とバタフライ演算器 2 3 の出力信号 b t f 0 a _ o u t のいずれかを選択し、信号 M E M W 0 として出力する出力選択装置 2 5 - 0 と、制御信号 W 1 S E L に応じて、データ入力 I 1 とバタフライ演算器 2 3 の出力信号 b t f 0 b _ o u t のいずれかを選択し、信号 M E M W 1 として出力する出力選択装置 2 5 - 1 とを設けたので、以下の効果を得ることができる。

【 0 1 3 1 】

バタフライ演算などの多入力、多出力演算を行う場合には、 $y_0 = x_0 + x_1$ 、 $y_1 = x_0 - x_1$ などの演算を同時に行うことができる。

このため、入力データとして x_0 と x_1 を 1 回ずつ読み出せばよい。そのためメモリ／レジスタへのアクセス効率があがるという利点がある。

また専用ハードウェアと異なり、 $y_0 = x_0 + x_1$ と $y_1 = x_0 - x_1$ のほかにも、 $y_0 = x_0 + x_1 + x_2 + x_3$ などの計算を柔軟に行うことができる構成を容易に実現できる利点がある。

【0132】

また、演算装置自体を外部から再構成可能であることから、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を実現できる利点がある。

【0133】

第4実施形態

図6は、本発明に係る演算装置の第4の実施形態を示す構成図である。

【0134】

図6の演算装置20Aは、構成情報に基づいて再構成可能な演算装置であって、8入力8出力の演算を行い、バタフライ演算とシフト演算を同時に実行可能に構成されている。

【0135】

本演算装置20Aは、シフト演算器(SFT0)21A-0、シフト演算器(SFT1)21A-1、シフト演算器(SFT2)21A-2、シフト演算器(SFT3)21A-3、入力選択装置(RSEL0)22A-0、入力選択装置(RSEL1)22A-1、入力選択装置(RSEL2)22A-2、入力選択装置(RSEL3)22A-3、バタフライ演算器(BTF0)23A-0、バタフライ演算器(BTF1)23A-1、出力選択装置(DSEL0)24A-0、出力選択装置(DSEL1)24A-1、出力選択装置(DSEL2)24A-2、出力選択装置(DSEL3)24A-3、出力選択装置(WSEL0)25A-0、出力選択装置(WSEL1)25A-1、出力選択装置(WSEL2)25A-2、および出力選択装置(WSEL3)25A-3を有している。

【0136】

そして、演算装置20Aは、データ入力MEMR0、MEMR1、MEMR2、MEMR3、I0、I1、I2、I3、およびデータ出力MEMW0、MEMW1、MEMW2、MEMW3、D0、D1、D2、D3を有し、また、再構成

のための制御信号 B T F M D 0, B T F M D 1, R 0 S E L, R 1 S E L, R 2 S E L, R 3 S E L, W 0 S E L, W 1 S E L, W 2 S E L, W 3 S E L, D 0 S E L, D 1 S E L, D 2 S E L, D 3 S E L が供給される。

【 0 1 3 7 】

シフト演算器 2 1 A - 0 は、データ入力 M E M R 0 の値を制御信号 S F T 0 M D に応じて単項演算、具体的には、制御信号 S F T 0 M D が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 0 _ o u t として入力選択装置 2 2 A - 0 および出力選択装置 2 4 A - 0 に出力する。なお、シフト演算器 2 1 A - 0 は、たとえば制御信号 S F T 0 M D が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 M E M R 0 をそのまま出力する。

【 0 1 3 8 】

シフト演算器 2 1 A - 1 は、データ入力 M E M R 1 の値を制御信号 S F T 1 M D に応じて単項演算、具体的には、制御信号 S F T 1 M D が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 1 _ o u t として入力選択装置 2 2 A - 1 および出力選択装置 2 4 A - 1 に出力する。なお、シフト演算器 2 1 A - 1 は、たとえば制御信号 S F T 1 M D が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 M E M R 1 をそのまま出力する。

【 0 1 3 9 】

シフト演算器 2 1 A - 2 は、データ入力 M E M R 2 の値を制御信号 S F T 2 M D に応じて単項演算、具体的には、制御信号 S F T 2 M D が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 2 _ o u t として入力選択装置 2 2 A - 2 および出力選択装置 2 4 A - 2 に出力する。なお、シフト演算器 2 1 A - 2 は、たとえば制御信号 S F T 2 M D が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 M E M R 2 をそのまま出力する。

【 0 1 4 0 】

シフト演算器 2 1 A - 3 は、データ入力 M E M R 3 の値を制御信号 S F T 3 M

Dに応じて単項演算、具体的には、制御信号 S F T 3 M D が示す値（シフト量）に応じて左または右に任意ビットだけシフトする演算を行って、その結果を信号 s f t 3 _out として入力選択装置 2 2 A - 3 および出力選択装置 2 4 A - 3 に出力する。なお、シフト演算器 2 1 A - 3 は、たとえば制御信号 S F T 3 M D が示すシフト量がゼロの場合には、シフト演算を行わず、データ入力 M E M R 3 をそのまま出力する。

【 0 1 4 1 】

入力選択装置 2 2 A - 0 は、制御信号 R 0 S E L に応じて、シフト演算器 2 1 A - 0 の出力データおよびデータ入力 I 0 のいずれかを選択し、信号 r 0 s e l _out としてバタフライ演算器 2 3 A - 0 に出力する。

【 0 1 4 2 】

入力選択装置 2 2 A - 1 は、制御信号 R 1 S E L に応じて、シフト演算器 2 1 A - 1 の出力データおよびデータ入力 I 1 のいずれかを選択し、信号 r 1 s e l _out としてバタフライ演算器 2 3 A - 0 に出力する。

【 0 1 4 3 】

入力選択装置 2 2 A - 2 は、制御信号 R 2 S E L に応じて、シフト演算器 2 1 A - 2 の出力データおよびデータ入力 I 2 のいずれかを選択し、信号 r 2 s e l _out としてバタフライ演算器 2 3 A - 1 に出力する。

【 0 1 4 4 】

入力選択装置 2 2 A - 3 は、制御信号 R 3 S E L に応じて、シフト演算器 2 1 A - 3 の出力データおよびデータ入力 I 3 のいずれかを選択し、信号 r 3 s e l _out としてバタフライ演算器 2 3 A - 1 に出力する。

【 0 1 4 5 】

バタフライ演算器 2 3 A - 0 は、入力端子 D A に入力選択装置 2 2 A - 0 の出力信号 r 0 s e l _out を入力し、入力端子 D B に入力選択装置 2 2 A - 1 の出力信号 r 1 s e l _out を入力し、制御端子 C T L に供給される制御信号 B T F M D 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 0 a _out として出力選択装置 2 4 A - 0 および 2 5 A - 0 に出力し、他方の演算結果を出力端子 O B から信号 b t f 0 b _out として

出力選択装置 2 4 A - 1 および 2 5 A - 1 に出力する。

【 0 1 4 6 】

具体的には、バタフライ演算器 2 3 A - 0 は、制御信号 B T F M D 0 の値により、以下のいずれかの演算を選択的に行う。

【 0 1 4 7 】

【数 6】

```

btf0 a __out = r1sel __out , btf0 b __out = r0sel __out
btf0 a __out = r1sel __out , btf0 b __out = -r0sel __out
btf0 a __out = -r1sel __out , btf0 b __out = r0sel __out
btf0 a __out = -r1sel __out , btf0 b __out = -r0sel __out
btf0 a __out = r0sel __out , btf0 b __out = r1sel __out
btf0 a __out = r0sel __out , btf0 b __out = -r1sel __out
btf0 a __out = -r0sel __out , btf0 b __out = r1sel __out
btf0 a __out = -r0sel __out , btf0 b __out = -r1sel __out
btf0 a __out = r0sel __out + r1sel __out , btf0 b __out
                    = r0sel __out - r1sel __out
btf0 a __out = r0sel __out + r1sel __out , btf0 b __out
                    = r1sel __out - r0sel __out
btf0 a __out = r0sel __out - r1sel __out , btf0 b __out
                    = r0sel __out + r1sel __out
btf0 a __out = r1sel __out - r0sel __out , btf0 b __out
                    = r0sel __out + r1sel __out

```

【 0 1 4 8 】

バタフライ演算器 2 3 A - 1 は、入力端子 D A に入力選択装置 2 2 A - 2 の出力信号 r 2 s e l __out を入力し、入力端子 D B に入力選択装置 2 2 A - 3 の出力信号 r 3 s e l __out を入力し、制御端子 C T L に供給される制御信号 B T F M D 1 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 1 a __out として出力選択装置 2 4 A - 2 および 2 5 A - 2 に出力し、他方の演算結果を出力端子 O B から信号 b t f 1 b __out として

出力選択装置 2 4 A - 3 および 2 5 A - 3 に出力する。

【 0 1 4 9 】

具体的には、バタフライ演算器 2 3 A - 1 は、制御信号 B T F M D 1 の値により、以下のいずれかの演算を選択的に行う。

【 0 1 5 0 】

【数 7】

```

btf1 a __out = r3sel __out , btf1 b __out = r2sel __out
btf1 a __out = r3sel __out , btf1 b __out = -r2sel __out
btf1 a __out = -r3sel __out , btf1 b __out = r2sel __out
btf1 a __out = -r3sel __out , btf1 b __out = -r2sel __out
btf1 a __out = r2sel __out , btf1 b __out = r3sel __out
btf1 a __out = r2sel __out , btf1 b __out = -r3sel __out
btf1 a __out = -r2sel __out , btf1 b __out = r3sel __out
btf1 a __out = -r2sel __out , btf1 b __out = -r3sel __out
btf1 a __out = r2sel __out + r3sel __out , btf1 b __out
                    = r2sel __out - r3sel __out
btf1 a __out = r2sel __out + r3sel __out , btf1 b __out
                    = r3sel __out - r2sel __out
btf1 a __out = r2sel __out - r3sel __out , btf1 b __out
                    = r2sel __out + r3sel __out
btf1 a __out = r3sel __out - r2sel __out , btf1 b __out
                    = r2sel __out + r3sel __out

```

【 0 1 5 1 】

出力選択装置 2 4 A - 0 は、制御信号 D 0 S E L に応じて、シフト演算器 2 1 A - 0 の出力信号 s f t 0 __out （たとえば M E M R 0 ）とバタフライ演算器 2 3 A - 0 の出力信号 b t f 0 a __out のいずれかを選択し、信号 D 0 として出力する。

【 0 1 5 2 】

出力選択装置 2 4 A - 1 は、制御信号 D 1 S E L に応じて、シフト演算器 2 1

A-1 の出力信号 `s f t 1 __out` (たとえば MEMR 1) と バタフライ演算器 2 3 A-0 の出力信号 `b t f 0 b __out` のいずれかを選択し、信号 D 1 として出力する。

【 0 1 5 3 】

出力選択装置 2 4 A-2 は、制御信号 D 2 S E L に応じて、シフト演算器 2 1 A-2 の出力信号 `s f t 2 __out` (たとえば MEMR 2) と バタフライ演算器 2 3 A-1 の出力信号 `b t f 1 a __out` のいずれかを選択し、信号 D 2 として出力する。

【 0 1 5 4 】

出力選択装置 2 4 A-3 は、制御信号 D 3 S E L に応じて、シフト演算器 2 1 A-3 の出力信号 `s f t 3 __out` (たとえば MEMR 3) と バタフライ演算器 2 3 A-1 の出力信号 `b t f 1 b __out` のいずれかを選択し、信号 D 3 として出力する。

【 0 1 5 5 】

出力選択装置 2 5 A-0 は、制御信号 W 0 S E L に応じて、データ入力 I 0 と バタフライ演算器 2 3 A-0 の出力信号 `b t f 0 a __out` のいずれかを選択し、信号 MEMW 0 として出力する。

【 0 1 5 6 】

出力選択装置 2 5 A-1 は、制御信号 W 1 S E L に応じて、データ入力 I 1 と バタフライ演算器 2 3 A-0 の出力信号 `b t f 0 b __out` のいずれかを選択し、信号 MEMW 1 として出力する。

【 0 1 5 7 】

出力選択装置 2 5 A-2 は、制御信号 W 2 S E L に応じて、データ入力 I 2 と バタフライ演算器 2 3 A-1 の出力信号 `b t f 1 a __out` のいずれかを選択し、信号 MEMW 2 として出力する。

【 0 1 5 8 】

出力選択装置 2 5 A-3 は、制御信号 W 3 S E L に応じて、データ入力 I 3 と バタフライ演算器 2 3 A-1 の出力信号 `b t f 1 b __out` のいずれかを選択し、信号 MEMW 3 として出力する。

【 0 1 5 9 】

次に、上記構成による動作を説明する。

ここでは、

$$D1 = MEMR0 - MEMR1,$$

$$D3 = MEMR2 - MEMR3,$$

$$MEMW0 = MEMR0 + MEMR1,$$

$$MEMW2 = MEMR2 + MEMR3,$$

$$MEMW1 = I1$$

$$MEMW3 = I3$$

の演算を実行するものとする。

【 0 1 6 0 】

たとえばシフト演算器 2 1 A - 0, 2 1 A - 1, 2 1 A - 2, 2 1 A - 3 のシフト量が、制御信号 SFT0MD, SFT1MD, SFT2MD, SFT3MD によりゼロに設定される。

したがって、シフト演算器 2 1 A - 0 の出力信号 s f t 0 _out は MEMR0 となり、入力選択装置 2 2 A - 0 および出力選択装置 2 4 A - 0 に供給される。

同様に、シフト演算器 2 1 A - 1 の出力信号 s f t 1 _out は MEMR1 となり、入力選択装置 2 2 A - 1 および出力選択装置 2 4 A - 1 に供給される。

シフト演算器 2 1 A - 2 の出力信号 s f t 2 _out は MEMR2 となり、入力選択装置 2 2 A - 2 および出力選択装置 2 4 A - 2 に供給される。

そして、シフト演算器 2 1 A - 3 の出力信号 s f t 3 _out は MEMR3 となり、入力選択装置 2 2 A - 3 および出力選択装置 2 4 A - 3 に供給される。

【 0 1 6 1 】

入力選択装置 2 2 A - 0 では、制御信号 R0SEL により、シフト演算器 2 1 A - 0 の出力信号、すなわち MEMR0 を選択するように制御され、選択されたデータ MEMR0 が信号 r 0 s e l _out として、バラフライ演算器 2 3 A - 0 の入力端子 DA に供給される。

入力選択装置 2 2 A - 1 では、制御信号 R1SEL により、シフト演算器 2 1 A - 1 の出力信号、すなわち MEMR1 を選択するように制御され、選択された

データMEMR1が信号 $r1sel_out$ として、バラフライ演算器23A-0の入力端子DBに供給される。

【0162】

また、入力選択装置22A-2では、制御信号R2SELにより、シフト演算器21A-2の出力信号、すなわちMEMR2を選択するように制御され、選択されたデータMEMR2が信号 $r2sel_out$ として、バラフライ演算器23A-1の入力端子DAに供給される。

入力選択装置22A-3では、制御信号R3SELにより、シフト演算器21A-3の出力信号、すなわちMEMR3を選択するように制御され、選択されたデータMEMR3が信号 $r3sel_out$ として、バラフライ演算器23A-1の入力端子DBに供給される。

【0163】

バラフライ演算器23A-0では、制御端子CTLに供給される制御信号BT FMD0により、 $OA = DA + DB$ 、 $OB = DA - DB$ が計算されるモードに設定される。

これにより、バラフライ演算器23A-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1とが加算され、その結果である($MEMR0 + MEMR1$)が出力端子OAから信号 $btf0a_out$ として、出力選択装置24A-0および25A-0に出力される。

また、バラフライ演算器23A-0においては、入力端子DAに供給されたデータMEMR0と入力端子DBに供給されたデータMEMR1との差がとられ、その結果である($MEMR0 - MEMR1$)が出力端子OBから信号 $btf0b_out$ として、出力選択装置24A-1および25A-1に出力される。

【0164】

同様に、バラフライ演算器23A-1では、制御端子CTLに供給される制御信号BT FMD1により、 $OA = DA + DB$ 、 $OB = DA - DB$ が計算されるモードに設定される。

これにより、バラフライ演算器23A-1においては、入力端子DAに供給されたデータMEMR2と入力端子DBに供給されたデータMEMR3とが加算さ

れ、その結果である ($\text{MEMR2} + \text{MEMR3}$) が出力端子OAから信号 btf1a_out として、出力選択装置24A-2および25A-2に出力される。

また、バタフライ演算器23A-1においては、入力端子DAに供給されたデータMEMR2と入力端子DBに供給されたデータMEMR3との差がとられ、その結果である ($\text{MEMR2} - \text{MEMR3}$) が出力端子OBから信号 btf1b_out として、出力選択装置24A-3および25A-3に出力される。

【0165】

出力選択装置24A-1において、シフト演算器21A-1の出力信号 (MEMR1) とバタフライ演算器23A-0の出力信号 btf0b_out ($=\text{MEMR0} - \text{MEMR1}$) のうち、バタフライ演算器23A-0の出力信号 btf0b_out を選択するように制御信号D1SELが供給され、これにより選択されたデータが信号D1= $\text{MEMR0} - \text{MEMR1}$ として出力される。

【0166】

また、出力選択装置25A-0では、データ入力I0とバタフライ演算器23A-0の出力信号 btf0a_out ($=\text{MEMR0} + \text{MEMR1}$) のうち、バタフライ演算器23A-0の出力信号 btf0a_out を選択するように制御信号W0SELが供給され、これにより選択されたデータが信号MEMW0= $\text{MEMR0} + \text{MEMR1}$ として出力される。

【0167】

また、出力選択装置25A-1では、データ入力I1とバタフライ演算器23A-0の出力信号 btf0b_out ($=\text{MEMR0} - \text{MEMR1}$) のうち、データ入力I1を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号MEMW1=I1として出力される。

【0168】

また、出力選択装置24A-3において、シフト演算器21A-3の出力信号 (MEMR3) とバタフライ演算器23A-1の出力信号 btf1b_out ($=\text{MEMR2} - \text{MEMR3}$) のうち、バタフライ演算器23B-1の出力信号 btf1b_out を選択するように制御信号D3SELが供給され、これにより選択されたデータが信号D3= $\text{MEMR2} - \text{MEMR3}$ として出力される。

【 0 1 6 9 】

また、出力選択装置 2 5 A - 2 では、データ入力 I 2 とバタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 a_out$ ($=MEMR 2 + MEMR 3$) のうち、バタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 a_out$ を選択するように制御信号 $W 2 S E L$ が供給され、これにより選択されたデータが信号 $MEMW 2 = MEMR 2 + MEMR 3$ として出力される。

【 0 1 7 0 】

また、出力選択装置 2 5 A - 3 では、データ入力 I 3 とバタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 b_out$ ($=MEMR 2 - MEMR 3$) のうち、データ入力 I 3 を選択するように制御信号 $W 3 S E L$ が供給され、これにより選択されたデータが信号 $MEMW 3 = I 3$ として出力される。

【 0 1 7 1 】

本第 4 の実施形態に係る 8 入力 8 出力の演算装置 2 0 A によれば、上述した第 3 の実施形態の効果と同様の効果を得ることができる。

【 0 1 7 2 】

第 5 実施形態

図 7 は、本発明に係る演算装置の第 5 の実施形態を示す構成図である。

【 0 1 7 3 】

本第 5 の実施形態が上述した第 4 の実施形態と異なる点は、入力端子 D A にバタフライ演算器 2 3 A - 0 の出力信号 $b t f 0 a_out$ を入力し、入力端子 D B にバタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 a_out$ を入力し、制御端子 C T L に供給される制御信号 $B T F M D 2$ の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 $b t f 2 a_out$ として出力選択装置 2 5 B - 0 および 2 5 B - 2 に出力し、他方の演算結果を出力端子 O B から信号 $b t f 2 b_out$ として出力選択装置 2 5 B - 1 および 2 5 B - 3 に出力するバタフライ演算器 2 3 A - 2 を設け、3 つのバタフライ演算器をいわゆる多段に配置して、ツリー状に接続した構成としたことにある。

【 0 1 7 4 】

なお、本第 5 の実施形態に係るバタフライ演算器 2 3 B - 2 は、制御信号 B T

FMD 2 の値により、以下のいずれかの演算を選択的に行う。

【0 1 7 5】

【数 8】

```

btf2 a __out = btf0a __out , btf2 b __out = btfla __out
btf2 a __out = btf0a __out , btf2 b __out = -btfla __out
btf2 a __out = -btf0a __out , btf2 b __out = btfla __out
btf2 a __out = -btf0a __out , btf2 b __out = -btfla __out
btf2 a __out = btf0a __out , btf2 b __out = btfla __out
btf2 a __out = btf0a __out , btf2 b __out = -btfla __out
btf2 a __out = -btf0a __out , btf2 b __out = btfla __out
btf2 a __out = -btf0a __out , btf2 b __out = -btfla __out
btf2 a __out = btfla __out + btf0a __out , btf2 b __out
                = btfla __out - btf0a __out
btf2 a __out = btfla __out + btf0a __out , btf2 b __out
                = btf0a __out - btfla __out
btf2 a __out = btfla __out - btf0a __out , btf2 b __out
                = btfla __out + btf0a __out
btf2 a __out = btf0a __out - btfla __out , btf2 b __out
                = btfla __out + btf0a __out

```

【0 1 7 6】

そして、本第 5 の実施形態においては、出力選択装置 2 5 B - 0 ~ 2 5 B - 3 を制御信号 W 0 S E L ~ W 3 S E L に応じて 3 つの入力データの中から一つのデータを選択し、信号 MEMW 0 ~ MEMW 3 として出力するように構成している。

【0 1 7 7】

出力選択装置 2 5 B - 0 は、制御信号 W 0 S E L に応じて、データ入力 I 0 と バタフライ演算器 2 3 A - 0 の出力信号 b t f 0 a __out と バタフライ演算器 2 3 B - 2 の出力信号 b t f 2 a __out とのいずれかを選択し、信号 MEMW 0 として出力する。

【0178】

出力選択装置25B-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23A-0の出力信号b t f 0 b__out とバタフライ演算器23B-2の出力信号b t f 2 b__out のいずれかを選択し、信号MEMW1として出力する。

【0179】

出力選択装置25B-2は、制御信号W2SELに応じて、データ入力I2とバタフライ演算器23A-1の出力信号b t f 1 a__out とバタフライ演算器23B-2の出力信号b t f 2 a__out のいずれかを選択し、信号MEMW2として出力する。

【0180】

出力選択装置25B-3は、制御信号W3SELに応じて、データ入力I3とバタフライ演算器23A-1の出力信号b t f 1 b__out とバタフライ演算器23B-2の出力信号b t f 2 b__out のいずれかを選択し、信号MEMW3として出力する。

【0181】

その他の構成および機能は、第4の実施形態に係る図6と同様であることから、図7においては、図6と同一構成部分は、同一符号をもって表している。

【0182】

このような構成において、たとえばバタフライ演算器23A-0の出力信号b t f 0 a__out が(MEMR0+MEMR1)で、バタフライ演算器23A-1の出力信号b t f 1 a__out が(MEMR2+MEMR3)であるとした場合に、たとえばバタフライ演算器23B-2の出力信号b t f 2 a__out が(MEMR0+MEMR1+MEMR2+MEMR3)となり、出力信号b t f 2 b__out が(MEMR0+MEMR1-MEMR2-MEMR3)となる。

【0183】

そして、出力選択装置25B-0において、制御信号W0SELに応じて、バタフライ演算器23B-2の出力信号b t f 2 a__out を選択するように制御することにより、信号MEMW0は(MEMR0+MEMR1+MEMR2+ME

MR3)として出力される。

同様に、出力選択装置25B-2において、制御信号W2SELに応じて、バタフライ演算器23B-2の出力信号btf2a__outを選択するように制御することにより、信号MEMW2は(MEMR0+MEMR1+MEMR2+MEMR3)として出力される。

【0184】

また、出力選択装置25B-1において、制御信号W1SELに応じて、バタフライ演算器23B-2の出力信号btf2b__outを選択するように制御することにより、信号MEMW1は(MEMR0+MEMR1-MEMR2-MEMR3)として出力される。

同様に、出力選択装置25B-3において、制御信号W3SELに応じて、バタフライ演算器23B-2の出力信号btf2b__outを選択するように制御することにより、信号MEMW3は(MEMR0+MEMR1-MEMR2-EMR3)として出力される。

【0185】

その他の構成、および作用は、上述した第4の実施形態と同様であることからここではその説明は省略する。

【0186】

本第5の実施形態によれば、上述した第4の実施形態と同様の効果を得られることはもとより、さらに高度な複雑な演算を容易に行うことができる利点がある。

【0187】

第6実施形態

図8は、本発明に係る演算装置の第6の実施形態を示す構成図である。

【0188】

図8の演算装置20Cは、構成情報に基づいて再構成可能な演算装置であって、16入力16出力の演算を行い、バタフライ演算を実行可能に構成されている。

【0189】

本演算装置 20C は、入力選択装置 (RSEL0) 22C-0、入力選択装置 (RSEL1) 22C-1、入力選択装置 (RSEL2) 22C-2、入力選択装置 (RSEL3) 22C-3、入力選択装置 (RSEL4) 22C-4、入力選択装置 (RSEL5) 22C-5、入力選択装置 (RSEL6) 22C-6、入力選択装置 (RSEL7) 22C-7、入力選択装置 (BSEL0) 22C-8、入力選択装置 (BSEL1) 22C-9、入力選択装置 (BSEL2) 22C-10、入力選択装置 (BSEL3) 22C-11、入力選択装置 (BSEL4) 22C-12、入力選択装置 (BSEL5) 22C-13、入力選択装置 (BSEL6) 22C-14、入力選択装置 (BSEL7) 22C-15、バタフライ演算器 (BTF0) 23C-0、バタフライ演算器 (BTF1) 23C-1、バタフライ演算器 (BTF2) 23C-2、バタフライ演算器 (BTF3) 23C-3、バタフライ演算器 (BTF4) 23C-4、バタフライ演算器 (BTF5) 23C-5、バタフライ演算器 (BTF6) 23C-6、バタフライ演算器 (BTF7) 23C-7、出力選択装置 (DSEL0) 24C-0、出力選択装置 (DSEL1) 24C-1、出力選択装置 (DSEL2) 24C-2、出力選択装置 (DSEL3) 24C-3、出力選択装置 (DSEL4) 24C-4、出力選択装置 (DSEL5) 24C-5、出力選択装置 (DSEL6) 24C-6、出力選択装置 (DSEL7) 24C-7、出力選択装置 (WSEL0) 25C-0、出力選択装置 (WSEL1) 25C-1、出力選択装置 (WSEL2) 25C-2、出力選択装置 (WSEL3) 25C-3、出力選択装置 (WSEL4) 25C-4、出力選択装置 (WSEL5) 25C-5、出力選択装置 (WSEL6) 25C-6、および出力選択装置 (WSEL7) 25C-7 を有している。

【0190】

そして、入力選択装置 22C-0～22C-7 が本発明の第 1 の入力選択装置を構成し、入力選択装置 22C-9～22C-15 が本発明の第 2 の入力選択装置を構成し、バタフライ演算器 23C-0、バタフライ演算器 23C-2、バタフライ演算器 23C-4、およびバタフライ演算器 23C-6 が本発明の第 1 の演算器を構成し、バタフライ演算器 23C-1、バタフライ演算器 23C-3、

バタフライ演算器 2 3 C - 5、およびバタフライ演算器 2 3 C - 7 が本発明の第 2 の演算器を構成し、出力選択装置 2 4 C - 0 ~ 2 4 C - 7 が本発明の第 1 の出力選択装置を構成し、出力選択装置 2 5 C - 0 ~ 2 5 C - 7 が本発明の第 2 の出力選択装置を構成する。

【 0 1 9 1 】

そして、演算装置 2 0 C は、データ入力 MEMR 0, MEMR 1, MEMR 2, MEMR 3, MEMR 4, MEMR 5, MEMR 6, MEMR 7, I 0, I 1, I 2, I 3, I 4, I 5, I 6, I 7、およびデータ出力 MEMW 0, MEMW 1, MEMW 2, MEMW 3, MEMW 4, MEMW 5, MEMW 6, MEMW 7, D 0, D 1, D 2, D 3, D 4, D 5, D 6, D 7 を有し、また、再構成のための制御信号 BTFMD 0, BTFMD 1, BTFMD 2, BTFMD 3, BTFMD 4, BTFMD 5, BTFMD 6, BTFMD 7, R 0 SEL, R 1 SEL, R 2 SEL, R 3 SEL, R 4 SEL, R 5 SEL, R 6 SEL, R 7 SEL, B 0 SEL, B 1 SEL, B 2 SEL, B 3 SEL, B 4 SEL, B 5 SEL, B 6 SEL, B 7 SEL, W 0 SEL, W 1 SEL, W 2 SEL, W 3 SEL, W 4 SEL, W 5 SEL, W 6 SEL, W 7 SEL, D 0 SEL, D 1 SEL, D 2 SEL, D 3 SEL, D 4 SEL, D 5 SEL, D 6 SEL, D 7 SEL が供給される。

【 0 1 9 2 】

入力選択装置 2 2 C - 0 は、制御信号 R 0 SEL に応じて、データ入力 MEMR 0 およびデータ入力 I 0 のいずれかを選択し、信号 r 0 s e l _ o u t としてバタフライ演算器 2 3 C - 0 に出力する。

【 0 1 9 3 】

入力選択装置 2 2 C - 1 は、制御信号 R 1 SEL に応じて、データ入力 MEMR 1 およびデータ入力 I 1 のいずれかを選択し、信号 r 1 s e l _ o u t としてバタフライ演算器 2 3 C - 0 に出力する。

【 0 1 9 4 】

入力選択装置 2 2 C - 2 は、制御信号 R 2 SEL に応じて、データ入力 MEMR 2 およびデータ入力 I 2 のいずれかを選択し、信号 r 2 s e l _ o u t としてバ

タフライ演算器 2 3 C - 2 に出力する。

【 0 1 9 5 】

入力選択装置 2 2 C - 3 は、制御信号 R 3 S E L に応じて、データ入力 MEM R 3 およびデータ入力 I 3 のいずれかを選択し、信号 r 3 s e l _ o u t としてバタフライ演算器 2 3 C - 2 に出力する。

【 0 1 9 6 】

入力選択装置 2 2 C - 4 は、制御信号 R 4 S E L に応じて、データ入力 MEM R 4 およびデータ入力 I 4 のいずれかを選択し、信号 r 4 s e l _ o u t としてバタフライ演算器 2 3 C - 4 に出力する。

【 0 1 9 7 】

入力選択装置 2 2 C - 5 は、制御信号 R 5 S E L に応じて、データ入力 MEM R 5 およびデータ入力 I 5 のいずれかを選択し、信号 r 5 s e l _ o u t としてバタフライ演算器 2 3 C - 4 に出力する。

【 0 1 9 8 】

入力選択装置 2 2 C - 6 は、制御信号 R 6 S E L に応じて、データ入力 MEM R 6 およびデータ入力 I 6 のいずれかを選択し、信号 r 6 s e l _ o u t としてバタフライ演算器 2 3 C - 6 に出力する。

【 0 1 9 9 】

入力選択装置 2 2 C - 7 は、制御信号 R 7 S E L に応じて、データ入力 MEM R 7 およびデータ入力 I 7 のいずれかを選択し、信号 r 7 s e l _ o u t としてバタフライ演算器 2 3 C - 6 に出力する。

【 0 2 0 0 】

入力選択装置 2 2 C - 8 は、制御信号 B 0 S E L に応じて、データ入力 I 0、バタフライ演算器 2 3 C - 0 の出力信号 b t f 0 a _ o u t、およびバタフライ演算器 2 3 C - 6 の出力信号 b t f 6 b _ o u t のいずれかを選択し、信号 b 0 s e l _ o u t としてバタフライ演算器 2 3 C - 1 に出力する。

【 0 2 0 1 】

入力選択装置 2 2 C - 9 は、制御信号 B 1 S E L に応じて、データ入力 I 1、バタフライ演算器 2 3 C - 0 の出力信号 b t f 0 b _ o u t、およびバタフライ演

演算器 23C-2 の出力信号 b t f 2 a __out のいずれかを選択し、信号 b 1 s e l __out としてバタフライ演算器 23C-1 に出力する。

【0202】

入力選択装置 22C-10 は、制御信号 B 2 S E L に応じて、データ入力 I 2 、バタフライ演算器 23C-2 の出力信号 b t f 2 a __out 、およびバタフライ演算器 23C-0 の出力信号 b t f 0 b __out のいずれかを選択し、信号 b 2 s e l __out としてバタフライ演算器 23C-3 に出力する。

【0203】

入力選択装置 22C-11 は、制御信号 B 3 S E L に応じて、データ入力 I 3 、バタフライ演算器 23C-2 の出力信号 b t f 2 b __out 、およびバタフライ演算器 23C-4 の出力信号 b t f 4 a __out のいずれかを選択し、信号 b 3 s e l __out としてバタフライ演算器 23C-3 に出力する。

【0204】

入力選択装置 22C-12 は、制御信号 B 4 S E L に応じて、データ入力 I 4 、バタフライ演算器 23C-4 の出力信号 b t f 4 a __out 、およびバタフライ演算器 23C-2 の出力信号 b t f 2 b __out のいずれかを選択し、信号 b 4 s e l __out としてバタフライ演算器 23C-5 に出力する。

【0205】

入力選択装置 22C-13 は、制御信号 B 5 S E L に応じて、データ入力 I 5 、バタフライ演算器 23C-4 の出力信号 b t f 4 b __out 、およびバタフライ演算器 23C-6 の出力信号 b t f 6 a __out のいずれかを選択し、信号 b 5 s e l __out としてバタフライ演算器 23C-5 に出力する。

【0206】

入力選択装置 22C-14 は、制御信号 B 6 S E L に応じて、データ入力 I 6 、バタフライ演算器 23C-6 の出力信号 b t f 6 a __out 、およびバタフライ演算器 23C-4 の出力信号 b t f 4 b __out のいずれかを選択し、信号 b 6 s e l __out としてバタフライ演算器 23C-7 に出力する。

【0207】

入力選択装置 22C-15 は、制御信号 B 7 S E L に応じて、データ入力 I 7

、バタフライ演算器 2 3 C - 6 の出力信号 `b t f 6 b __out`、およびバタフライ演算器 2 3 C - 0 の出力信号 `b t f 0 a __out` のいずれかを選択し、信号 `b 7 s e l __out` としてバタフライ演算器 2 3 C - 7 に出力する。

【 0 2 0 8 】

バタフライ演算器 2 3 C - 0 は、入力端子 D A に入力選択装置 2 2 C - 0 の出力信号 `r 0 s e l __out` を入力し、入力端子 D B に入力選択装置 2 2 C - 1 の出力信号 `r 1 s e l __out` を入力し、制御端子 C T L に供給される制御信号 B T F M D 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 `b t f 0 a __out` として入力選択装置 2 2 C - 8 および 2 2 C - 1 5 に出力し、他方の演算結果を出力端子 O B から信号 `b t f 0 b __out` として入力選択装置 2 2 C - 9 および 2 2 C - 1 0 に出力する。

【 0 2 0 9 】

バタフライ演算器 2 3 C - 1 は、入力端子 D A に入力選択装置 2 2 C - 8 の出力信号 `b 0 s e l __out` を入力し、入力端子 D B に入力選択装置 2 2 C - 9 の出力信号 `b 1 s e l __out` を入力し、制御端子 C T L に供給される制御信号 B T F M D 1 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 `b t f 1 a __out` として出力選択装置 2 4 C - 0 および 2 5 C - 0 に出力し、他方の演算結果を出力端子 O B から信号 `b t f 1 b __out` として出力選択装置 2 4 C - 1 および 2 5 C - 1 に出力する。

【 0 2 1 0 】

バタフライ演算器 2 3 C - 2 は、入力端子 D A に入力選択装置 2 2 C - 2 の出力信号 `r 2 s e l __out` を入力し、入力端子 D B に入力選択装置 2 2 C - 3 の出力信号 `r 3 s e l __out` を入力し、制御端子 C T L に供給される制御信号 B T F M D 2 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 `b t f 2 a __out` として入力選択装置 2 2 C - 1 0 および 2 2 C - 9 に出力し、他方の演算結果を出力端子 O B から信号 `b t f 2 b __out` として入力選択装置 2 2 C - 1 1 および 2 2 C - 1 2 に出力する。

【 0 2 1 1 】

バタフライ演算器 2 3 C - 3 は、入力端子 D A に入力選択装置 2 2 C - 1 0 の

出力信号 $b2sel_out$ を入力し、入力端子 DB に入力選択装置 22C-11 の出力信号 $b3sel_out$ を入力し、制御端子 CTL に供給される制御信号 BT FMD3 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $btf3a_out$ として出力選択装置 24C-2 および 25C-2 に出力し、他方の演算結果を出力端子 OB から信号 $btf3b_out$ として出力選択装置 24C-3 および 25C-3 に出力する。

【0212】

バタフライ演算器 23C-4 は、入力端子 DA に入力選択装置 22C-4 の出力信号 $r4sel_out$ を入力し、入力端子 DB に入力選択装置 22C-5 の出力信号 $r5sel_out$ を入力し、制御端子 CTL に供給される制御信号 BT FMD4 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $btf4a_out$ として入力選択装置 22C-12 および 22C-11 に出力し、他方の演算結果を出力端子 OB から信号 $btf4b_out$ として入力選択装置 22C-13 および 22C-14 に出力する。

【0213】

バタフライ演算器 23C-5 は、入力端子 DA に入力選択装置 22C-12 の出力信号 $b4sel_out$ を入力し、入力端子 DB に入力選択装置 22C-13 の出力信号 $b5sel_out$ を入力し、制御端子 CTL に供給される制御信号 BT FMD5 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $btf5a_out$ として出力選択装置 24C-4 および 25C-4 に出力し、他方の演算結果を出力端子 OB から信号 $btf5b_out$ として出力選択装置 24C-5 および 25C-5 に出力する。

【0214】

バタフライ演算器 23C-6 は、入力端子 DA に入力選択装置 22C-6 の出力信号 $r6sel_out$ を入力し、入力端子 DB に入力選択装置 22C-7 の出力信号 $r7sel_out$ を入力し、制御端子 CTL に供給される制御信号 BT FMD6 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 OA から信号 $btf6a_out$ として入力選択装置 22C-14 および 22C-13 に出力し、他方の演算結果を出力端子 OB から信号 $btf6b_out$ と

して入力選択装置 2 2 C - 1 5 および 2 2 C - 8 に出力する。

【 0 2 1 5 】

バタフライ演算器 2 3 C - 7 は、入力端子 D A に入力選択装置 2 2 C - 1 4 の出力信号 $b6sel_out$ を入力し、入力端子 D B に入力選択装置 2 2 C - 1 5 の出力信号 $b7sel_out$ を入力し、制御端子 C T L に供給される制御信号 B T F M D 7 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 $btf7a_out$ として出力選択装置 2 4 C - 6 および 2 5 C - 6 に出力し、他方の演算結果を出力端子 O B から信号 $btf7b_out$ として出力選択装置 2 4 C - 7 および 2 5 C - 7 に出力する。

【 0 2 1 6 】

具体的には、バタフライ演算器 2 3 C - i ($i = 0, 2, 4, 6$) は、制御信号 B T F M D i の値により、以下のいずれかの演算を選択的に行う。

【 0 2 1 7 】

【数 9】

$$\begin{aligned} btf[i] a_out &= r[i+1] sel_out, btf[i] b_out = r[i] sel_out \\ btf[i] a_out &= r[i+1] sel_out, btf[i] b_out = -r[i] sel_out \\ btf[i] a_out &= -r[i+1] sel_out, btf[i] b_out = r[i] sel_out \\ btf[i] a_out &= -r[i+1] sel_out, btf[i] b_out = -r[i] sel_out \\ btf[i] a_out &= r[i] sel_out, btf[i] b_out = r[i+1] sel_out \\ btf[i] a_out &= r[i] sel_out, btf[i] b_out = -r[i+1] sel_out \\ btf[i] a_out &= -r[i] sel_out, btf[i] b_out = r[i+1] sel_out \\ btf[i] a_out &= -r[i] sel_out, btf[i] b_out = -r[i+1] sel_out \\ btf[i] a_out &= r[i] sel_out + r[i+1] sel_out, btf[i] b_out \\ &= r[i] sel_out - r[i+1] sel_out \\ btf[i] a_out &= r[i] sel_out + r[i+1] sel_out, btf[i] b_out \\ &= r[i+1] sel_out - r[i] sel_out \\ btf[i] a_out &= r[i] sel_out - r[i+1] sel_out, btf[i] b_out \\ &= r[i] sel_out + r[i+1] sel_out \\ btf[i] a_out &= r[i+1] sel_out - r[i] sel_out, btf[i] b_out \end{aligned}$$

$$= r[i] \text{ sel_out} + r[i+1] \text{ sel_out}$$

【 0 2 1 8 】

また、バタフライ演算器 2 3 C - j (j = 1, 3, 5, 7) は、制御信号 B T F M D j の値により、以下のいずれかの演算を選択的に行う。

【 0 2 1 9 】

【 数 1 0 】

$$\text{btf}[j] \text{ a_out} = \text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = \text{b}[j-1] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = \text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = -\text{b}[j-1] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = -\text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = \text{b}[j-1] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = -\text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = -\text{b}[j-1] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = \text{b}[j-1] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = \text{b}[j] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = \text{b}[j-1] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = -\text{b}[j] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = -\text{b}[j-1] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = \text{b}[j] \text{ sel_out}$$

$$\text{btf}[j] \text{ a_out} = -\text{b}[j-1] \text{ sel_out}, \text{ btf}[j] \text{ b_out} = -\text{b}[j] \text{ sel_out}$$

$$\begin{aligned} \text{btf}[j] \text{ a_out} &= \text{b}[j-1] \text{ sel_out} + \text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} \\ &= \text{b}[j-1] \text{ sel_out} - \text{b}[j] \text{ sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf}[j] \text{ a_out} &= \text{b}[j-1] \text{ sel_out} + \text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} \\ &= \text{b}[j] \text{ sel_out} - \text{b}[j-1] \text{ sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf}[j] \text{ a_out} &= \text{b}[j-1] \text{ sel_out} - \text{b}[j] \text{ sel_out}, \text{ btf}[j] \text{ b_out} \\ &= \text{b}[j-1] \text{ sel_out} + \text{b}[j] \text{ sel_out} \end{aligned}$$

$$\begin{aligned} \text{btf}[j] \text{ a_out} &= \text{b}[j] \text{ sel_out} - \text{b}[j-1] \text{ sel_out}, \text{ btf}[j] \text{ b_out} \\ &= \text{b}[j-1] \text{ sel_out} + \text{b}[j] \text{ sel_out} \end{aligned}$$

【 0 2 2 0 】

出力選択装置 2 4 C - 0 は、制御信号 D 0 S E L に応じて、データ入力 M E M R 0 とバタフライ演算器 2 3 C - 1 の出力信号 b t f l a_out のいずれかを選択し、信号 D 0 として出力する。

【 0 2 2 1 】

出力選択装置 2 4 C - 1 は、制御信号 D 1 S E L に応じて、データ入力 M E M R 1 とバタフライ演算器 2 3 C - 1 の出力信号 b t f l b_out のいずれかを選

択し、信号D1として出力する。

【0222】

出力選択装置24C-2は、制御信号D2SELに応じて、データ入力MEMR2とバタフライ演算器23C-3の出力信号btf3a__outのいずれかを選択し、信号D2として出力する。

【0223】

出力選択装置24C-3は、制御信号D3SELに応じて、データ入力MEMR3とバタフライ演算器23C-3の出力信号btf3b__outのいずれかを選択し、信号D3として出力する。

【0224】

出力選択装置24C-4は、制御信号D4SELに応じて、データ入力MEMR4とバタフライ演算器23C-5の出力信号btf5a__outのいずれかを選択し、信号D4として出力する。

【0225】

出力選択装置24C-5は、制御信号D5SELに応じて、データ入力MEMR5とバタフライ演算器23C-5の出力信号btf5b__outのいずれかを選択し、信号D5として出力する。

【0226】

出力選択装置24C-6は、制御信号D6SELに応じて、データ入力MEMR6とバタフライ演算器23C-7の出力信号btf7a__outのいずれかを選択し、信号D6として出力する。

【0227】

出力選択装置24C-7は、制御信号D7SELに応じて、データ入力MEMR7とバタフライ演算器23C-7の出力信号btf7b__outのいずれかを選択し、信号D7として出力する。

【0228】

出力選択装置25C-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23C-1の出力信号btf1a__outのいずれかを選択し、信号MEMW0として出力する。

【 0 2 2 9 】

出力選択装置 2 5 C - 1 は、制御信号 W 1 S E L に応じて、データ入力 I 1 と
バタフライ演算器 2 3 C - 1 の出力信号 b t f 1 b _ o u t のいずれかを選択し、
信号 MEMW 1 として出力する。

【 0 2 3 0 】

出力選択装置 2 5 C - 2 は、制御信号 W 2 S E L に応じて、データ入力 I 2 と
バタフライ演算器 2 3 C - 3 の出力信号 b t f 3 a _ o u t のいずれかを選択し、
信号 MEMW 2 として出力する。

【 0 2 3 1 】

出力選択装置 2 5 C - 3 は、制御信号 W 3 S E L に応じて、データ入力 I 3 と
バタフライ演算器 2 3 C - 3 の出力信号 b t f 3 b _ o u t のいずれかを選択し、
信号 MEMW 3 として出力する。

【 0 2 3 2 】

出力選択装置 2 5 C - 4 は、制御信号 W 4 S E L に応じて、データ入力 I 4 と
バタフライ演算器 2 3 C - 5 の出力信号 b t f 5 a _ o u t のいずれかを選択し、
信号 MEMW 4 として出力する。

【 0 2 3 3 】

出力選択装置 2 5 C - 5 は、制御信号 W 5 S E L に応じて、データ入力 I 5 と
バタフライ演算器 2 3 C - 5 の出力信号 b t f 5 b _ o u t のいずれかを選択し、
信号 MEMW 5 として出力する。

【 0 2 3 4 】

出力選択装置 2 5 C - 6 は、制御信号 W 6 S E L に応じて、データ入力 I 6 と
バタフライ演算器 2 3 C - 7 の出力信号 b t f 7 a _ o u t のいずれかを選択し、
信号 MEMW 6 として出力する。

【 0 2 3 5 】

出力選択装置 2 5 C - 7 は、制御信号 W 7 S E L に応じて、データ入力 I 7 と
バタフライ演算器 2 3 C - 7 の出力信号 b t f 7 b _ o u t のいずれかを選択し、
信号 MEMW 7 として出力する。

【 0 2 3 6 】

次に、上記構成による動作を説明する。

ここでは、たとえば以下の演算を実行するものとする。

$$D0 = \text{MEMR}6 - \text{MEMR}7 + \text{MEMR}0 - \text{MEMR}1,$$

$$D1 = \text{MEMR}1,$$

$$D6 = \text{MEMR}6,$$

$$D7 = \text{MEMR}6 + \text{MEMR}7 - \text{MEMR}0 - \text{MEMR}1,$$

$$\text{MEMW}0 = I0$$

$$\text{MEMW}1 = \text{MEMR}6 - \text{MEMR}7 - \text{MEMR}0 + \text{MEMR}1,$$

$$\text{MEMW}6 = \text{MEMR}0 + \text{MEMR}1 + \text{MEMR}6 + \text{MEMR}7,$$

$$\text{MEMW}7 = I7$$

【0237】

この場合、入力選択装置22C-0では、制御信号R0SELにより、データ入力MEMR0を選択するように制御され、選択されたデータMEMR0が信号r0sel_outとして、バラフライ演算器23C-0の入力端子DAに供給される。

入力選択装置22C-1では、制御信号R1SELにより、MEMR1を選択するように制御され、選択されたデータMEMR1が信号r1sel_outとして、バラフライ演算器23C-0の入力端子DBに供給される。

【0238】

また、入力選択装置22C-6では、制御信号R6SELにより、MEMR6を選択するように制御され、選択されたデータMEMR6が信号r6sel_outとして、バラフライ演算器23C-6の入力端子DAに供給される。

入力選択装置22C-7では、制御信号R7SELにより、MEMR7を選択するように制御され、選択されたデータMEMR7が信号r7sel_outとして、バラフライ演算器23C-7の入力端子DBに供給される。

【0239】

バラフライ演算器23C-0では、制御端子CTLに供給される制御信号BT FMD0により、 $OA = DA + DB$ 、 $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 C - 0 においては、入力端子 D A に供給されたデータ MEMR 0 と入力端子 D B に供給されたデータ MEMR 1 とが加算され、その結果である (MEMR 0 + MEMR 1) が出力端子 O A から信号 b t f 0 a __out として、入力選択装置 2 2 C - 8 および 2 2 C - 1 5 に出力される。

また、バタフライ演算器 2 3 C - 0 においては、入力端子 D A に供給されたデータ MEMR 0 と入力端子 D B に供給されたデータ MEMR 1 との差がとられ、その結果である (MEMR 0 - MEMR 1) が出力端子 O B から信号 b t f 0 b __out として、入力選択装置 2 2 C - 9 および 2 2 C - 1 0 に出力される。

【 0 2 4 0 】

同様に、バタフライ演算器 2 3 C - 6 では、制御端子 C T L に供給される制御信号 B T F M D 6 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 C - 6 においては、入力端子 D A に供給されたデータ MEMR 6 と入力端子 D B に供給されたデータ MEMR 7 とが加算され、その結果である (MEMR 6 + MEMR 7) が出力端子 O A から信号 b t f 6 a __out として、入力選択装置 2 2 C - 1 4 および 2 2 C - 1 3 に出力される。

また、バタフライ演算器 2 3 C - 6 においては、入力端子 D A に供給されたデータ MEMR 6 と入力端子 D B に供給されたデータ MEMR 7 との差がとられ、その結果である (MEMR 6 - MEMR 7) が出力端子 O B から信号 b t f 6 b __out として、入力選択装置 2 2 C - 1 5 および 2 2 C - 8 に出力される。

【 0 2 4 1 】

そして、入力選択装置 2 2 C - 8 では、制御信号 B 0 S E L により、バタフライ演算器 2 3 C - 6 の出力信号 b t f 6 b __out (=MEMR 6 - MEMR 7) を選択するように制御され、選択されたデータ (MEMR 6 - MEMR 7) が信号 b 0 s e l __out として、バタフライ演算器 2 3 C - 1 の入力端子 D A に供給される。

入力選択装置 2 2 C - 9 では、制御信号 B 1 S E L により、バタフライ演算器 2 3 C - 0 の出力信号 b t f 0 b __out (=MEMR 0 - MEMR 1) を選択す

るように制御され、選択されたデータ (MEMR0-MEMR1) が信号 $b1sel_out$ として、バラフライ演算器 23C-1 の入力端子 DB に供給される。

【0242】

また、入力選択装置 22C-14 では、制御信号 B6SEL により、バラフライ演算器 23C-6 の出力信号 $btf6a_out$ ($=MEMR6+MEMR7$) を選択するように制御され、選択されたデータ (MEMR6+MEMR7) が信号 $b6sel_out$ として、バラフライ演算器 23C-7 の入力端子 DA に供給される。

入力選択装置 22C-15 では、制御信号 B7SEL により、バラフライ演算器 23C-0 の出力信号 $btf0a_out$ ($=MEMR0+MEMR1$) を選択するように制御され、選択されたデータ (MEMR0+MEMR1) が信号 $b7sel_out$ として、バラフライ演算器 23C-7 の入力端子 DB に供給される。

【0243】

バラフライ演算器 23C-1 では、制御端子 CTL に供給される制御信号 BT FMD1 により、 $OA=DA+DB$ 、 $OB=DA-DB$ が計算されるモードに設定される。

これにより、バラフライ演算器 23C-1 においては、入力端子 DA に供給されたデータ (MEMR6-MEMR7) と入力端子 DB に供給されたデータ (MEMR0-MEMR1) とが加算され、その結果である (MEMR6-MEMR7+MEMR0-MEMR1) が出力端子 OA から信号 $btf1a_out$ として、出力選択装置 24C-0 および 25C-0 に出力される。

また、バラフライ演算器 23C-1 においては、入力端子 DA に供給されたデータ (MEMR6-MEMR7) と入力端子 DB に供給されたデータ (MEMR0-MEMR1) との差がとられ、その結果である (MEMR6-MEMR7-MEMR0+MEMR1) が出力端子 OB から信号 $btf1b_out$ として、出力選択装置 24C-1 および 25C-1 に出力される。

【0244】

同様に、バラフライ演算器 23C-7 では、制御端子 CTL に供給される制御

信号 $BTfMD7$ により、 $OA = DA + DB$ 、 $OB = DA - DB$ が計算されるモードに設定される。

これにより、バタフライ演算器 $23C-7$ においては、入力端子 DA に供給されたデータ ($MEMR6 + MEMR7$) と入力端子 DB に供給されたデータ ($MEMR0 + MEMR1$) とが加算され、その結果である ($MEMR6 + MEMR7 + MEMR0 + MEMR1$) が出力端子 OA から信号 $btf7a_out$ として、出力選択装置 $24C-6$ および $25C-6$ に出力される。

また、バタフライ演算器 $23C-7$ においては、入力端子 DA に供給されたデータ ($MEMR6 + MEMR7$) と入力端子 DB に供給されたデータ ($MEMR0 + MEMR1$) との差がとられ、その結果である ($MEMR6 + MEMR7 - MEMR0 - MEMR1$) が出力端子 OB から信号 $btf7b_out$ として、出力選択装置 $24C-7$ および $25C-7$ に出力される。

【0245】

出力選択装置 $24C-0$ においては、データ入力 $MEMR0$ とバタフライ演算器 $23C-1$ の出力信号 $btf1a_out$ ($= MEMR6 - MEMR7 + MEMR0 - MEMR1$) のうち、バタフライ演算器 $23C-1$ の出力信号 $btf1a_out$ を選択するように制御信号 $D0SEL$ が供給され、これにより選択されたデータが信号 $D0 = MEMR6 - MEMR7 + MEMR0 - MEMR1$ として出力される。

【0246】

出力選択装置 $24C-1$ においては、データ入力 $MEMR1$ とバタフライ演算器 $23C-1$ の出力信号 $btf1b_out$ ($= MEMR6 - MEMR7 - MEMR0 + MEMR1$) のうち、データ入力 $MEMR1$ を選択するように制御信号 $D1SEL$ が供給され、これにより選択されたデータが信号 $D1 = MEMR1$ として出力される。

【0247】

出力選択装置 $24C-6$ においては、データ入力 $MEMR6$ とバタフライ演算器 $23C-7$ の出力信号 $btf7a_out$ ($= MEMR6 + MEMR7 + MEMR0 + MEMR1$) のうち、データ入力 $MEMR6$ を選択するように制御信号 D

6SELが供給され、これにより選択されたデータが信号 $D6 = MEMR6$ として出力される。

【0248】

出力選択装置24C-7においては、データ入力MEMR7とバタフライ演算器23C-7の出力信号 $btf7b_out$ ($=MEMR6 + MEMR7 - MEMR0 - MEMR1$)のうち、バタフライ演算器23C-7の出力信号 $btf7b_out$ を選択するように制御信号D7SELが供給され、これにより選択されたデータが信号 $D7 = MEMR6 + MEMR7 - MEMR0 - MEMR1$ として出力される。

【0249】

また、出力選択装置25C-0では、データ入力I0とバタフライ演算器23C-1の出力信号 $btf1a_out$ ($=MEMR6 - MEMR7 + MEMR0 - MEMR1$)のうち、入力データI0を選択するように制御信号W0SELが供給され、これにより選択されたデータが信号 $MEMW0 = I0$ として出力される。

【0250】

出力選択装置25C-1においては、データ入力I1とバタフライ演算器23C-1の出力信号 $btf1b_out$ ($=MEMR6 - MEMR7 - MEMR0 + MEMR1$)のうち、バタフライ演算器23C-1の出力信号 $btf1b_out$ を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号 $MEMW1 = MEMR6 - MEMR7 - MEMR0 + MEMR1$ として出力される。

【0251】

出力選択装置25C-6においては、データ入力I6とバタフライ演算器23C-7の出力信号 $btf7a_out$ ($=MEMR6 + MEMR7 + MEMR0 + MEMR1$)のうち、バタフライ演算器23C-7の出力信号 $btf7a_out$ を選択するように制御信号W6SELが供給され、これにより選択されたデータが信号 $MEMW6 = MEMR0 + MEMR1 + MEMR6 + MEMR7$ として出力される。

【0252】

また、出力選択装置25C-7では、データ入力I7とバタフライ演算器23C-7の出力信号b t f 7 b_out (=MEMR6+MEMR7-MEMR0-MEMR1)のうち、入力データI7を選択するように制御信号W7SELが供給され、これにより選択されたデータが信号MEMW7=I7として出力される。

【0253】

以上のように、本第6の実施形態に係る16入力16出力の演算装置20Cによれば、上述した第3の実施形態の効果と同様の効果を得ることができる。

【0254】

なお、本第6の実施形態においては、データ入力MEMR0～MEMR7の入力段に単項演算器、たとえばシフト演算器を、上述した第3～第5の実施形態と同様に、配置することが可能である。

この場合、単項演算器SFT0, SFT1, SFT2, SFT3, SFT4, SFT5, SFT6, SFT7は、それぞれたとえば制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDを入力とし、MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7の値を、制御信号SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDの値に応じて単項演算を行い、その結果を入力選択装置22C-0～22C-7(RSEL0～RSEL7)、出力選択装置24C-0～24C-7(DSEL0～DSEL7)に出力するように構成される。

ただし、ここで単項演算器は、左または右に任意ビットシフトする演算で実現される演算器である。

【0255】

第7実施形態

図9は、本発明に係る演算装置の第7の実施形態を示す構成図である。

【0256】

図9の演算装置20Dは、構成情報に基づいて再構成可能な演算装置であって、16入力16出力の演算を行い、バタフライ演算を実行可能に構成されている。

【0257】

本演算装置20Dは、入力選択装置(RSEL0)22D-0、入力選択装置(RSEL1)22D-1、入力選択装置(RSEL2)22D-2、入力選択装置(RSEL3)22D-3、入力選択装置(RSEL4)22D-4、入力選択装置(RSEL5)22D-5、入力選択装置(RSEL6)22D-6、入力選択装置(RSEL7)22D-7、バタフライ演算器(BTF0)23D-0、バタフライ演算器(BTF1)23D-1、バタフライ演算器(BTF2)23D-2、バタフライ演算器(BTF3)23D-3、バタフライ演算器(BTF4)23D-4、バタフライ演算器(BTF5)23D-5、バタフライ演算器(BTF6)23D-6、出力選択装置(DSEL0)24D-0、出力選択装置(DSEL1)24D-1、出力選択装置(DSEL2)24D-2、出力選択装置(DSEL3)24D-3、出力選択装置(DSEL4)24D-4、出力選択装置(DSEL5)24D-5、出力選択装置(DSEL6)24D-6、出力選択装置(DSEL7)24D-7、出力選択装置(WSEL0)25D-0、出力選択装置(WSEL1)25D-1、出力選択装置(WSEL2)25D-2、出力選択装置(WSEL3)25D-3、出力選択装置(WSEL4)25D-4、出力選択装置(WSEL5)25D-5、出力選択装置(WSEL6)25D-6、および出力選択装置(WSEL7)25D-7を有している。

【0258】

そして、演算装置20Dは、データ入力MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7, I0, I1, I2, I3, I4, I5, I6, I7、およびデータ出力MEMW0, MEMW1, MEMW2, MEMW3, MEMW4, MEMW5, MEMW6, MEMW7, D0, D1, D2, D3, D4, D5, D6, D7を有し、また、再構成のための制御信号BTFMD0, BTFMD1, BTFMD2, BTFMD3,

BTFMD4, BTFMD5, BTFMD6、R0SEL, R1SEL, R2SEL, R3SEL, R4SEL, R5SEL, R6SEL, R7SEL、W0SEL, W1SEL, W2SEL, W3SEL, W4SEL, W5SEL, W6SEL, W7SEL、D0SEL, D1SEL, D2SEL, D3SEL, D4SEL, D5SEL, D6SEL, D7SELが供給される。

【0259】

入力選択装置22D-0は、制御信号R0SELに応じて、データ入力MEM R0およびデータ入力I0のいずれかを選択し、信号r0sel_outとしてバタフライ演算器23D-0に出力する。

【0260】

入力選択装置22D-1は、制御信号R1SELに応じて、データ入力MEM R1およびデータ入力I1のいずれかを選択し、信号r1sel_outとしてバタフライ演算器23D-0に出力する。

【0261】

入力選択装置22D-2は、制御信号R2SELに応じて、データ入力MEM R2およびデータ入力I2のいずれかを選択し、信号r2sel_outとしてバタフライ演算器23D-1に出力する。

【0262】

入力選択装置22D-3は、制御信号R3SELに応じて、データ入力MEM R3およびデータ入力I3のいずれかを選択し、信号r3sel_outとしてバタフライ演算器23D-1に出力する。

【0263】

入力選択装置22D-4は、制御信号R4SELに応じて、データ入力MEM R4およびデータ入力I4のいずれかを選択し、信号r4sel_outとしてバタフライ演算器23D-2に出力する。

【0264】

入力選択装置22D-5は、制御信号R5SELに応じて、データ入力MEM R5およびデータ入力I5のいずれかを選択し、信号r5sel_outとしてバタフライ演算器23D-2に出力する。

【 0 2 6 5 】

入力選択装置 2 2 D - 6 は、制御信号 R 6 S E L に応じて、データ入力 M E M R 6 およびデータ入力 I 6 のいずれかを選択し、信号 r 6 s e l _ o u t としてバタフライ演算器 2 3 D - 3 に出力する。

【 0 2 6 6 】

入力選択装置 2 2 D - 7 は、制御信号 R 7 S E L に応じて、データ入力 M E M R 7 およびデータ入力 I 7 のいずれかを選択し、信号 r 7 s e l _ o u t としてバタフライ演算器 2 3 D - 3 に出力する。

【 0 2 6 7 】

バタフライ演算器 2 3 D - 0 は、入力端子 D A に入力選択装置 2 2 D - 0 の出力信号 r 0 s e l _ o u t を入力し、入力端子 D B に入力選択装置 2 2 D - 1 の出力信号 r 1 s e l _ o u t を入力し、制御端子 C T L に供給される制御信号 B T F M D 0 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 0 a _ o u t としてバタフライ演算器 2 3 D - 4、出力選択装置 2 4 D - 0、および 2 5 D - 0 に出力し、他方の演算結果を出力端子 O B から信号 b t f 0 b _ o u t として出力選択装置 2 4 D - 1 および 2 5 D - 1 に出力する。

【 0 2 6 8 】

バタフライ演算器 2 3 D - 1 は、入力端子 D A に入力選択装置 2 2 D - 2 の出力信号 r 2 s e l _ o u t を入力し、入力端子 D B に入力選択装置 2 2 D - 3 の出力信号 r 3 s e l _ o u t を入力し、制御端子 C T L に供給される制御信号 B T F M D 1 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子 O A から信号 b t f 1 a _ o u t としてバタフライ演算器 2 3 D - 4、出力選択装置 2 4 D - 2、および 2 5 D - 2 に出力し、他方の演算結果を出力端子 O B から信号 b t f 1 b _ o u t として出力選択装置 2 4 D - 3 および 2 5 D - 3 に出力する。

【 0 2 6 9 】

バタフライ演算器 2 3 D - 2 は、入力端子 D A に入力選択装置 2 2 D - 4 の出力信号 r 4 s e l _ o u t を入力し、入力端子 D B に入力選択装置 2 2 D - 5 の出

力信号 $r5sel_out$ を入力し、制御端子CTLに供給される制御信号BT FMD2の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号 $btf2a_out$ としてバタフライ演算器23D-5、出力選択装置24D-4、および25D-4に出力し、他方の演算結果を出力端子OBから信号 $btf2b_out$ として出力選択装置24D-5および25D-5に出力する。

【0270】

バタフライ演算器23D-3は、入力端子DAに入力選択装置22D-6の出力信号 $r6sel_out$ を入力し、入力端子DBに入力選択装置22D-7の出力信号 $r7sel_out$ を入力し、制御端子CTLに供給される制御信号BT FMD3の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号 $btf3a_out$ としてバタフライ演算器23D-5、出力選択装置24D-6、および25D-6に出力し、他方の演算結果を出力端子OBから信号 $btf3b_out$ として出力選択装置24D-7および25D-7に出力する。

【0271】

バタフライ演算器23D-4は、入力端子DAにバタフライ演算器23D-0の出力信号 $btf0a_out$ を入力し、入力端子DBにバタフライ演算器23D-1の出力信号 $btf1a_out$ を入力し、制御端子CTLに供給される制御信号BT FMD4の指示に応じた演算を行って2つの演算結果を得、一方の演算結果を出力端子OAから信号 $btf4a_out$ としてバタフライ演算器23D-6、出力選択装置25D-0および25D-2に出力し、他方の演算結果を出力端子OBから信号 $btf4b_out$ として出力選択装置25D-1および25D-3に出力する。

【0272】

バタフライ演算器23D-5は、入力端子DAにバタフライ演算器23D-2の出力信号 $btf2a_out$ を入力し、入力端子DBにバタフライ演算器23D-3の出力信号 $btf3a_out$ を入力し、制御端子CTLに供給される制御信号BT FMD5の指示に応じた演算を行って2つの演算結果を得、一方の演算結

果を出力端子OAから信号 $btf5a_out$ としてバタフライ演算器 23D-6、出力選択装置 25D-4 および 25D-6 に出力し、他方の演算結果を出力端子OBから信号 $btf5b_out$ として出力選択装置 25D-5 および 25D-7 に出力する。

【0273】

バタフライ演算器 23D-6 は、入力端子DAにバタフライ演算器 23D-4 の出力信号 $btf4a_out$ を入力し、入力端子DBにバタフライ演算器 23D-5 の出力信号 $btf5a_out$ を入力し、制御端子CTLに供給される制御信号 BT FMD 6 の指示に応じた演算を行って 2 つの演算結果を得、一方の演算結果を出力端子OAから信号 $btf6a_out$ として出力選択装置 25D-0、25D-2、25D-4、および 25D-6 に出力し、他方の演算結果を出力端子OBから信号 $btf6b_out$ として出力選択装置 25D-1、25D-3、25D-5、および 25D-7 に出力する。

【0274】

具体的には、バタフライ演算器 23D-1 ($l=0, 1, 2, 3$) は、制御信号 BT FMD 1 の値により、以下のいずれかの演算を選択的に行う。

【0275】

【数 1 1】

$$\begin{aligned} btf[l]a_out &= r[l+1]sel_out, btf[l]b_out = r[l]sel_out \\ btf[l]a_out &= r[l+1]sel_out, btf[l]b_out = -r[l]sel_out \\ btf[l]a_out &= -r[l+1]sel_out, btf[l]b_out = r[l]sel_out \\ btf[l]a_out &= -r[l+1]sel_out, btf[l]b_out = -r[l]sel_out \\ btf[l]a_out &= r[l]sel_out, btf[l]b_out = r[l+1]sel_out \\ btf[l]a_out &= r[l]sel_out, btf[l]b_out = -r[l+1]sel_out \\ btf[l]a_out &= -r[l]sel_out, btf[l]b_out = r[l+1]sel_out \\ btf[l]a_out &= -r[l]sel_out, btf[l]b_out = -r[l+1]sel_out \\ btf[l]a_out &= r[l]sel_out + r[l+1]sel_out, btf[l]b_out \\ &= r[l]sel_out - r[l+1]sel_out \\ btf[l]a_out &= r[l]sel_out + r[l+1]sel_out, btf[l]b_out \end{aligned}$$

$$= r[l+1] \text{ sel_out} - r[l] \text{ sel_out}$$

$$\text{btf}[l] \text{ a_out} = r[l] \text{ sel_out} - r[l+1] \text{ sel_out}, \text{ btf}[l] \text{ b_out}$$

$$= r[l] \text{ sel_out} + r[l+1] \text{ sel_out}$$

$$\text{btf}[l] \text{ a_out} = r[l+1] \text{ sel_out} - r[l] \text{ sel_out}, \text{ btf}[l] \text{ b_out}$$

$$= r[l] \text{ sel_out} + r[l+1] \text{ sel_out}$$

【 0 2 7 6 】

また、バタフライ演算器 2 3 D - 4 は、制御信号 B T F M D 4 の値により、以下のいずれかの演算を選択的に行う。

【 0 2 7 7 】

【数 1 2】

$$\text{btf4 a_out} = \text{btf0 a_out}, \text{ btf4 b_out} = \text{btf1 a_out}$$

$$\text{btf4 a_out} = \text{btf0 a_out}, \text{ btf4 b_out} = -\text{btf1 a_out}$$

$$\text{btf4 a_out} = -\text{btf0 a_out}, \text{ btf4 b_out} = \text{btf1 a_out}$$

$$\text{btf4 a_out} = -\text{btf0 a_out}, \text{ btf4 b_out} = -\text{btf1 a_out}$$

$$\text{btf4 a_out} = \text{btf0 a_out}, \text{ btf4 b_out} = \text{btf1 a_out}$$

$$\text{btf4 a_out} = \text{btf0 a_out}, \text{ btf4 b_out} = -\text{btf1 a_out}$$

$$\text{btf4 a_out} = -\text{btf0 a_out}, \text{ btf4 b_out} = \text{btf1 a_out}$$

$$\text{btf4 a_out} = -\text{btf0 a_out}, \text{ btf4 b_out} = -\text{btf1 a_out}$$

$$\text{btf4 a_out} = \text{btf1 a_out} + \text{btf0 a_out}, \text{ btf4 b_out}$$

$$= \text{btf1 a_out} - \text{btf0 a_out}$$

$$\text{btf4 a_out} = \text{btf1 a_out} + \text{btf0 a_out}, \text{ btf4 b_out}$$

$$= \text{btf0 a_out} - \text{btf1 a_out}$$

$$\text{btf4 a_out} = \text{btf1 a_out} - \text{btf0 a_out}, \text{ btf4 b_out}$$

$$= \text{btf1 a_out} + \text{btf0 a_out}$$

$$\text{btf4 a_out} = \text{btf0 a_out} - \text{btf1 a_out}, \text{ btf4 b_out}$$

$$= \text{btf1 a_out} + \text{btf0 a_out}$$

【 0 2 7 8 】

また、バタフライ演算器 2 3 D - 5 は、制御信号 B T F M D 5 の値により、以下のいずれかの演算を選択的に行う。

【 0 2 7 9 】

【数 1 3】

```

btf5 a __out = btf2a __out , btf5 b __out = btf3a __out
btf5 a __out = btf2a __out , btf5 b __out = -btf3a __out
btf5 a __out = -btf2a __out , btf5 b __out = btf3a __out
btf5 a __out = -btf2a __out , btf5 b __out = -btf3a __out
btf5 a __out = btf2a __out , btf5 b __out = btf3a __out
btf5 a __out = btf2a __out , btf5 b __out = -btf3a __out
btf5 a __out = -btf2a __out , btf5 b __out = btf3a __out
btf5 a __out = -btf2a __out , btf5 b __out = -btf3a __out
btf5 a __out = btf3a __out + btf2a __out , btf5 b __out
      = btf3a __out - btf2a __out
btf5 a __out = btf3a __out + btf2a __out , btf5 b __out
      = btf2a __out - btf3a __out
btf5 a __out = btf3a __out - btf2a __out , btf5 b __out
      = btf3a __out + btf2a __out
btf5 a __out = btf2a __out - btf3a __out , btf5 b __out
      = btf3a __out + btf2a __out

```

【 0 2 8 0 】

出力選択装置 2 4 D - 0 は、制御信号 D 0 S E L に応じて、データ入力 M E M R 0 とバタフライ演算器 2 3 D - 0 の出力信号 b t f 0 a __out のいずれかを選択し、信号 D 0 として出力する。

【 0 2 8 1 】

出力選択装置 2 4 D - 1 は、制御信号 D 1 S E L に応じて、データ入力 M E M R 1 とバタフライ演算器 2 3 D - 0 の出力信号 b t f 0 b __out のいずれかを選択し、信号 D 1 として出力する。

【 0 2 8 2 】

出力選択装置 2 4 D - 2 は、制御信号 D 2 S E L に応じて、データ入力 M E M R 2 とバタフライ演算器 2 3 D - 1 の出力信号 b t f 1 a __out のいずれかを選択

択し、信号D2として出力する。

【0283】

出力選択装置24D-3は、制御信号D3SELに応じて、データ入力MEM R3とバタフライ演算器23D-1の出力信号b t f 1 b __out のいずれかを選択し、信号D3として出力する。

【0284】

出力選択装置24D-4は、制御信号D4SELに応じて、データ入力MEM R4とバタフライ演算器23D-2の出力信号b t f 2 a __out のいずれかを選択し、信号D4として出力する。

【0285】

出力選択装置24D-5は、制御信号D5SELに応じて、データ入力MEM R5とバタフライ演算器23D-2の出力信号b t f 2 b __out のいずれかを選択し、信号D5として出力する。

【0286】

出力選択装置24D-6は、制御信号D6SELに応じて、データ入力MEM R6とバタフライ演算器23D-3の出力信号b t f 3 a __out のいずれかを選択し、信号D6として出力する。

【0287】

出力選択装置24D-7は、制御信号D7SELに応じて、データ入力MEM R7とバタフライ演算器23D-3の出力信号b t f 3 b __out のいずれかを選択し、信号D7として出力する。

【0288】

出力選択装置25D-0は、制御信号W0SELに応じて、データ入力I0とバタフライ演算器23D-0の出力信号b t f 0 a __out とバタフライ演算器23D-4の出力信号b t f 4 a __out とバタフライ演算器23D-6の出力信号b t f 6 a __out のいずれかを選択し、信号MEMW0として出力する。

【0289】

出力選択装置25D-1は、制御信号W1SELに応じて、データ入力I1とバタフライ演算器23D-0の出力信号b t f 0 b __out とバタフライ演算器2

3 D - 4 の出力信号 b t f 4 b __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 b __out のいずれかを選択し、信号 MEMW 1 として出力する。

【 0 2 9 0 】

出力選択装置 2 5 D - 2 は、制御信号 W 2 S E L に応じて、データ入力 I 2 とバタフライ演算器 2 3 D - 1 の出力信号 b t f 1 a __out とバタフライ演算器 2 3 D - 4 の出力信号 b t f 4 a __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 a __out のいずれかを選択し、信号 MEMW 2 として出力する。

【 0 2 9 1 】

出力選択装置 2 5 D - 3 は、制御信号 W 3 S E L に応じて、データ入力 I 3 とバタフライ演算器 2 3 D - 1 の出力信号 b t f 1 b __out とバタフライ演算器 2 3 D - 4 の出力信号 b t f 4 b __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 b __out のいずれかを選択し、信号 MEMW 3 として出力する。

【 0 2 9 2 】

出力選択装置 2 5 D - 4 は、制御信号 W 4 S E L に応じて、データ入力 I 4 とバタフライ演算器 2 3 D - 2 の出力信号 b t f 2 a __out とバタフライ演算器 2 3 D - 5 の出力信号 b t f 5 a __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 a __out のいずれかを選択し、信号 MEMW 4 として出力する。

【 0 2 9 3 】

出力選択装置 2 5 D - 5 は、制御信号 W 5 S E L に応じて、データ入力 I 5 とバタフライ演算器 2 3 D - 2 の出力信号 b t f 2 b __out とバタフライ演算器 2 3 D - 5 の出力信号 b t f 5 b __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 b __out のいずれかを選択し、信号 MEMW 5 として出力する。

【 0 2 9 4 】

出力選択装置 2 5 D - 6 は、制御信号 W 6 S E L に応じて、データ入力 I 6 とバタフライ演算器 2 3 D - 3 の出力信号 b t f 3 a __out とバタフライ演算器 2 3 D - 5 の出力信号 b t f 5 a __out とバタフライ演算器 2 3 D - 6 の出力信号 b t f 6 a __out のいずれかを選択し、信号 MEMW 6 として出力する。

【 0 2 9 5 】

出力選択装置 2 5 D - 7 は、制御信号 W 7 S E L に応じて、データ入力 I 7 と

バタフライ演算器 2 3 D - 3 の出力信号 $b t f 3 b_out$ とバタフライ演算器 2 3 D - 5 の出力信号 $b t f 5 b_out$ とバタフライ演算器 2 3 D - 6 の出力信号 $b t f 6 b_out$ のいずれかを選択し、信号 MEMW 7 として出力する。

【 0 2 9 6 】

次に、上記構成による動作を説明する。

なおここでは、たとえば以下のように全ての出力 D 0 ~ D 7, MEMW 0 ~ MEMW 7 を得る場合を例に、装置全体の動作を説明する。

$$D 0 = MEMR 0 + MEMR 1,$$

$$D 1 = MEMR 1,$$

$$D 2 = MEMR 2,$$

$$D 3 = MEMR 2 - MEMR 3,$$

$$D 4 = MEMR 4 + MEMR 5,$$

$$D 5 = MEMR 5,$$

$$D 6 = MEMR 6 + MEMR 7,$$

$$D 7 = MEMR 6 - MEMR 7,$$

$$MEMW 0 = I 0$$

$$MEMW 1 = MEMR 0 + MEMR 1 - MEMR 2 - MEMR 3,$$

$$MEMW 2 = MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3,$$

$$MEMW 3 = I 3$$

$$MEMW 4 = MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3 + MEMR 4 + MEMR 5 + MEMR 6 + MEMR 7,$$

$$MEMW 5 = MEMR 4 + MEMR 5 - MEMR 6 - MEMR 7,$$

$$MEMW 6 = I 6$$

$$MEMW 7 = MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3 - MEMR 4 - MEMR 5 - MEMR 6 - MEMR 7$$

【 0 2 9 7 】

この場合、入力選択装置 2 2 D - 0 では、制御信号 ROSEL により、データ入力 MEMR 0 を選択するように制御され、選択されたデータ MEMR 0 が信号 $r 0 s e l_out$ として、バタフライ演算器 2 3 D - 0 の入力端子 DA に供給さ

れる。

入力選択装置 22D-1 では、制御信号 R1SEL により、MEMR1 を選択するように制御され、選択されたデータ MEMR1 が信号 r1sel_out とし
て、バタフライ演算器 23D-0 の入力端子 DB に供給される。

【0298】

また、入力選択装置 22D-2 では、制御信号 R2SEL により、MEMR2 を選択するように制御され、選択されたデータ MEMR2 が信号 r2sel_out
として、バタフライ演算器 23D-1 の入力端子 DA に供給される。

入力選択装置 22D-3 では、制御信号 R3SEL により、MEMR3 を選択するように制御され、選択されたデータ MEMR3 が信号 r3sel_out とし
て、バタフライ演算器 23D-1 の入力端子 DB に供給される。

【0299】

また、入力選択装置 22D-4 では、制御信号 R4SEL により、MEMR4 を選択するように制御され、選択されたデータ MEMR4 が信号 r4sel_out
として、バタフライ演算器 23D-2 の入力端子 DA に供給される。

入力選択装置 22D-5 では、制御信号 R5SEL により、MEMR5 を選択するように制御され、選択されたデータ MEMR5 が信号 r5sel_out とし
て、バタフライ演算器 23D-2 の入力端子 DB に供給される。

【0300】

また、入力選択装置 22D-6 では、制御信号 R6SEL により、MEMR6 を選択するように制御され、選択されたデータ MEMR6 が信号 r6sel_out
として、バタフライ演算器 23D-3 の入力端子 DA に供給される。

入力選択装置 22D-7 では、制御信号 R7SEL により、MEMR7 を選択するように制御され、選択されたデータ MEMR7 が信号 r7sel_out とし
て、バタフライ演算器 23D-3 の入力端子 DB に供給される。

【0301】

バタフライ演算器 23D-0 では、制御端子 CTL に供給される制御信号 BT
FMD0 により、 $OA = DA + DB$, $OB = DA - DB$ が計算されるモードに設
定される。

これにより、バタフライ演算器 2 3 D - 0 においては、入力端子 D A に供給されたデータ MEMR 0 と入力端子 D B に供給されたデータ MEMR 1 とが加算され、その結果である (MEMR 0 + MEMR 1) が出力端子 O A から信号 b t f 0 a __out として、バタフライ演算器 2 3 D - 4 の入力端子 D A、出力選択装置 2 4 D - 0 および 2 5 D - 0 に出力される。

また、バタフライ演算器 2 3 D - 0 においては、入力端子 D A に供給されたデータ MEMR 0 と入力端子 D B に供給されたデータ MEMR 1 との差がとられ、その結果である (MEMR 0 - MEMR 1) が出力端子 O B から信号 b t f 0 b __out として、出力選択装置 2 4 D - 1 および 2 5 D - 1 に出力される。

【 0 3 0 2 】

バタフライ演算器 2 3 D - 1 では、制御端子 C T L に供給される制御信号 B T F M D 1 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 1 においては、入力端子 D A に供給されたデータ MEMR 2 と入力端子 D B に供給されたデータ MEMR 3 とが加算され、その結果である (MEMR 2 + MEMR 3) が出力端子 O A から信号 b t f 1 a __out として、バタフライ演算器 2 3 D - 4 の入力端子 D B、出力選択装置 2 4 D - 2 および 2 5 D - 2 に出力される。

また、バタフライ演算器 2 3 D - 1 においては、入力端子 D A に供給されたデータ MEMR 2 と入力端子 D B に供給されたデータ MEMR 3 との差がとられ、その結果である (MEMR 2 - MEMR 3) が出力端子 O B から信号 b t f 1 b __out として、出力選択装置 2 4 D - 3 および 2 5 D - 3 に出力される。

【 0 3 0 3 】

バタフライ演算器 2 3 D - 2 では、制御端子 C T L に供給される制御信号 B T F M D 2 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 2 においては、入力端子 D A に供給されたデータ MEMR 4 と入力端子 D B に供給されたデータ MEMR 5 とが加算され、その結果である (MEMR 4 + MEMR 5) が出力端子 O A から信号 b t f

2 a __out として、バタフライ演算器 2 3 D - 5 の入力端子 D A、出力選択装置 2 4 D - 4 および 2 5 D - 4 に出力される。

また、バタフライ演算器 2 3 D - 2 においては、入力端子 D A に供給されたデータ MEMR 4 と入力端子 D B に供給されたデータ MEMR 5 との差がとられ、その結果である (MEMR 4 - MEMR 5) が出力端子 O B から信号 b t f 2 b __out として、出力選択装置 2 4 D - 5 および 2 5 D - 5 に出力される。

【 0 3 0 4 】

バタフライ演算器 2 3 D - 3 では、制御端子 C T L に供給される制御信号 B T F M D 3 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 3 においては、入力端子 D A に供給されたデータ MEMR 6 と入力端子 D B に供給されたデータ MEMR 7 とが加算され、その結果である (MEMR 6 + MEMR 7) が出力端子 O A から信号 b t f 3 a __out として、バタフライ演算器 2 3 D - 5 の入力端子 D B、出力選択装置 2 4 D - 6 および 2 5 D - 6 に出力される。

また、バタフライ演算器 2 3 D - 3 においては、入力端子 D A に供給されたデータ MEMR 6 と入力端子 D B に供給されたデータ MEMR 6 との差がとられ、その結果である (MEMR 6 - MEMR 7) が出力端子 O B から信号 b t f 3 b __out として、出力選択装置 2 4 D - 7 および 2 5 D - 7 に出力される。

【 0 3 0 5 】

バタフライ演算器 2 3 D - 4 では、制御端子 C T L に供給される制御信号 B T F M D 4 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 4 においては、入力端子 D A に供給されたデータ (MEMR 0 + MEMR 1) と入力端子 D B に供給されたデータ (MEMR 2 + MEMR 3) とが加算され、その結果である (MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3) が出力端子 O A から信号 b t f 4 a __out として、バタフライ演算器 2 3 D - 6 の入力端子 D A、出力選択装置 2 5 D - 0 および 2 5 D - 2 に出力される。

また、バタフライ演算器 2 3 D - 4 においては、入力端子 D A に供給されたデータ ($\text{MEMR } 0 + \text{MEMR } 1$) と入力端子 D B に供給されたデータ ($\text{MEMR } 2 + \text{MEMR } 3$) との差がとられ、その結果である ($\text{MEMR } 0 + \text{MEMR } 1 - \text{MEMR } 2 - \text{MEMR } 3$) が出力端子 O B から信号 $\text{b t f } 4 \text{ b_out}$ として、出力選択装置 2 5 D - 1 および 2 5 D - 3 に出力される。

【 0 3 0 6 】

バタフライ演算器 2 3 D - 5 では、制御端子 C T L に供給される制御信号 B T F M D 5 により、 $\text{O A} = \text{D A} + \text{D B}$ 、 $\text{O B} = \text{D A} - \text{D B}$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 5 においては、入力端子 D A に供給されたデータ ($\text{MEMR } 4 + \text{MEMR } 5$) と入力端子 D B に供給されたデータ ($\text{MEMR } 6 + \text{MEMR } 7$) とが加算され、その結果である ($\text{MEMR } 4 + \text{MEMR } 5 + \text{MEMR } 6 + \text{MEMR } 7$) が出力端子 O A から信号 $\text{b t f } 5 \text{ a_out}$ として、バタフライ演算器 2 3 D - 6 の入力端子 D B、出力選択装置 2 5 D - 4 および 2 5 D - 6 に出力される。

また、バタフライ演算器 2 3 D - 5 においては、入力端子 D A に供給されたデータ ($\text{MEMR } 4 + \text{MEMR } 5$) と入力端子 D B に供給されたデータ ($\text{MEMR } 6 + \text{MEMR } 7$) との差がとられ、その結果である ($\text{MEMR } 4 + \text{MEMR } 5 - \text{MEMR } 6 - \text{MEMR } 7$) が出力端子 O B から信号 $\text{b t f } 5 \text{ b_out}$ として、出力選択装置 2 5 D - 5 および 2 5 D - 7 に出力される。

【 0 3 0 7 】

そして、バタフライ演算器 2 3 D - 6 では、制御端子 C T L に供給される制御信号 B T F M D 6 により、 $\text{O A} = \text{D A} + \text{D B}$ 、 $\text{O B} = \text{D A} - \text{D B}$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 D - 6 においては、入力端子 D A に供給されたデータ ($\text{MEMR } 0 + \text{MEMR } 1 + \text{MEMR } 2 + \text{MEMR } 3$) と入力端子 D B に供給されたデータ ($\text{MEMR } 4 + \text{MEMR } 5 + \text{MEMR } 6 + \text{MEMR } 7$) とが加算され、その結果である ($\text{MEMR } 0 + \text{MEMR } 1 + \text{MEMR } 2 + \text{MEMR } 3 + \text{MEMR } 4 + \text{MEMR } 5 + \text{MEMR } 6 + \text{MEMR } 7$) が出力端子 O A から信

号 $b t f 6 a_out$ として、出力選択装置 2 5 D - 0、2 5 D - 2、2 5 D - 4 および 2 5 D - 6 に出力される。

また、バタフライ演算器 2 3 D - 6 においては、入力端子 DA に供給されたデータ ($MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3$) と入力端子 DB に供給されたデータ ($MEMR 4 + MEMR 5 + MEMR 6 + MEMR 7$) との差がとられ、その結果である ($MEMR 0 + MEMR 1 + MEMR 2 + MEMR 3 - MEMR 4 - MEMR 5 - MEMR 6 - MEMR 7$) が出力端子 OB から信号 $b t f 6 b_out$ として、出力選択装置 2 5 D - 1、2 5 D - 3、2 5 D - 5 および 2 5 D - 7 に出力される。

【 0 3 0 8 】

出力選択装置 2 4 D - 0 においては、データ入力 $MEMR 0$ とバタフライ演算器 2 3 D - 0 の出力信号 $b t f 0 a_out$ ($= MEMR 0 + MEMR 1$) のうち、バタフライ演算器 2 3 D - 0 の出力信号 $b t f 0 a_out$ を選択するように制御信号 $D 0 SEL$ が供給され、これにより選択されたデータが信号 $D 0 = MEMR 0 + MEMR 1$ として出力される。

【 0 3 0 9 】

出力選択装置 2 4 D - 1 においては、データ入力 $MEMR 1$ とバタフライ演算器 2 3 D - 0 の出力信号 $b t f 0 b_out$ ($= MEMR 0 - MEMR 1$) のうち、データ入力 $MEMR 1$ を選択するように制御信号 $D 1 SEL$ が供給され、これにより選択されたデータが信号 $D 1 = MEMR 1$ として出力される。

【 0 3 1 0 】

出力選択装置 2 4 D - 2 においては、データ入力 $MEMR 2$ とバタフライ演算器 2 3 D - 1 の出力信号 $b t f 1 a_out$ ($= MEMR 2 + MEMR 3$) のうち、データ入力 $MEMR 2$ を選択するように制御信号 $D 2 SEL$ が供給され、これにより選択されたデータが信号 $D 2 = MEMR 2$ として出力される。

【 0 3 1 1 】

出力選択装置 2 4 D - 3 においては、データ入力 $MEMR 3$ とバタフライ演算器 2 3 D - 1 の出力信号 $b t f 1 b_out$ ($= MEMR 2 - MEMR 3$) のうち、バタフライ演算器 2 3 D - 1 の出力信号 $b t f 1 b_out$ を選択するように制

御信号 D 3 S E L が供給され、これにより選択されたデータが信号 D 3 = M E M R 2 - M E M R 3 として出力される。

【 0 3 1 2 】

出力選択装置 2 4 D - 4 においては、データ入力 M E M R 4 とバタフライ演算器 2 3 D - 2 の出力信号 b t f 2 a _ o u t (= M E M R 4 + M E M R 5) のうち、バタフライ演算器 2 3 D - 2 の出力信号 b t f 2 a _ o u t を選択するように制御信号 D 4 S E L が供給され、これにより選択されたデータが信号 D 4 = M E M R 4 + M E M R 5 として出力される。

【 0 3 1 3 】

出力選択装置 2 4 D - 5 においては、データ入力 M E M R 5 とバタフライ演算器 2 3 D - 2 の出力信号 b t f 2 b _ o u t (= M E M R 4 - M E M R 5) のうち、データ入力 M E M R 5 を選択するように制御信号 D 5 S E L が供給され、これにより選択されたデータが信号 D 5 = M E M R 5 として出力される。

【 0 3 1 4 】

出力選択装置 2 4 D - 6 においては、データ入力 M E M R 6 とバタフライ演算器 2 3 D - 3 の出力信号 b t f 3 a _ o u t (= M E M R 6 + M E M R 7) のうち、バタフライ演算器 2 3 D - 3 の出力信号 b t f 3 a _ o u t を選択するように制御信号 D 6 S E L が供給され、これにより選択されたデータが信号 D 6 = M E M R 6 + M E M R 7 として出力される。

【 0 3 1 5 】

出力選択装置 2 4 D - 7 においては、データ入力 M E M R 7 とバタフライ演算器 2 3 D - 3 の出力信号 b t f 3 b _ o u t (= M E M R 6 - M E M R 7) のうち、バタフライ演算器 2 3 D - 3 の出力信号 b t f 3 b _ o u t を選択するように制御信号 D 7 S E L が供給され、これにより選択されたデータが信号 D 7 = M E M R 6 - M E M R 7 として出力される。

【 0 3 1 6 】

また、出力選択装置 2 5 D - 0 では、データ入力 I 0 とバタフライ演算器 2 3 D - 0 の出力信号 b t f 0 a _ o u t (= M E M R 0 + M E M R 1) とバタフライ演算器 2 3 D - 4 の出力信号 b t f 4 a _ o u t (= M E M R 0 + M E M R 1 + M

EMR2+MEMR3) とバタフライ演算器 23D-6 の出力信号 $btf6a_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7$) のうち、入力データ I0 を選択するように制御信号 W0SEL が供給され、これにより選択されたデータが信号 MEMW0 = I0 として出力される。

【0317】

また、出力選択装置 25D-1 では、データ入力 I1 とバタフライ演算器 23D-0 の出力信号 $btf0b_out$ ($=MEMR0-MEMR1$) とバタフライ演算器 23D-4 の出力信号 $btf4b_out$ ($=MEMR0+MEMR1-MEMR2-MEMR3$) とバタフライ演算器 23D-6 の出力信号 $btf6b_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3-MEMR4-MEMR5-MEMR6-MEMR7$) のうち、バタフライ演算器 23D-4 の出力信号 $btf4b_out$ を選択するように制御信号 W1SEL が供給され、これにより選択されたデータが信号 MEMW1 = $MEMR0+MEMR1-MEMR2-MEMR3$ として出力される。

【0318】

また、出力選択装置 25D-2 では、データ入力 I2 とバタフライ演算器 23D-1 の出力信号 $btf1a_out$ ($=MEMR2+MEMR3$) とバタフライ演算器 23D-4 の出力信号 $btf4a_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3$) とバタフライ演算器 23D-6 の出力信号 $btf6a_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7$) のうち、バタフライ演算器 23D-4 の出力信号 $btf4a_out$ を選択するように制御信号 W2SEL が供給され、これにより選択されたデータが信号 MEMW2 = $MEMR0+MEMR1+MEMR2+MEMR3$ として出力される。

【0319】

また、出力選択装置 25D-3 では、データ入力 I3 とバタフライ演算器 23D-1 の出力信号 $btf0b_out$ ($=MEMR2-MEMR3$) とバタフライ演算器 23D-4 の出力信号 $btf4b_out$ ($=MEMR0+MEMR1-M$

EMR2-MEMR3) とバタフライ演算器 23D-6 の出力信号 $btf6b_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3-MEMR4-MEMR5-MEMR6-MEMR7$) のうち、入力データ I3 を選択するように制御信号 W3SEL が供給され、これにより選択されたデータが信号 MEMW3 = I3 として出力される。

【0320】

また、出力選択装置 25D-4 では、データ入力 I4 とバタフライ演算器 23D-2 の出力信号 $btf2a_out$ ($=MEMR4+MEMR5$) とバタフライ演算器 23D-5 の出力信号 $btf5a_out$ ($=MEMR4+MEMR5+MEMR6+MEMR7$) とバタフライ演算器 23D-6 の出力信号 $btf6a_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7$) のうち、バタフライ演算器 23D-6 の出力信号 $btf6a_out$ を選択するように制御信号 W4SEL が供給され、これにより選択されたデータが信号 MEMW4 = $MEMR0+MEMR1+MEMR2+MEMR3+MEMR4+MEMR5+MEMR6+MEMR7$ として出力される。

【0321】

また、出力選択装置 25D-5 では、データ入力 I5 とバタフライ演算器 23D-2 の出力信号 $btf2b_out$ ($=MEMR4-MEMR5$) とバタフライ演算器 23D-5 の出力信号 $btf5b_out$ ($=MEMR4+MEMR5-MEMR6-MEMR7$) とバタフライ演算器 23D-6 の出力信号 $btf6b_out$ ($=MEMR0+MEMR1+MEMR2+MEMR3-MEMR4-MEMR5-MEMR6-MEMR7$) のうち、バタフライ演算器 23D-5 の出力信号 $btf5b_out$ を選択するように制御信号 W5SEL が供給され、これにより選択されたデータが信号 MEMW5 = $MEMR4+MEMR5-MEMR6-MEMR7$ として出力される。

【0322】

また、出力選択装置 25D-6 では、データ入力 I6 とバタフライ演算器 23D-3 の出力信号 $btf3a_out$ ($=MEMR6+MEMR7$) とバタフライ

演算器 23D-5 の出力信号 $btf5a_out$ ($=MEMR4 + MEMR5 + MEMR6 + MEMR7$) と バタフライ演算器 23D-6 の出力信号 $btf6a_out$ ($=MEMR0 + MEMR1 + MEMR2 + MEMR3 + MEMR4 + MEMR5 + MEMR6 + MEMR7$) のうち、データ入力 $I6$ を選択するように制御信号 $W6SEL$ が供給され、これにより選択されたデータが信号 $MEMW6 = I6$ として出力される。

【0323】

また、出力選択装置 25D-7 では、データ入力 $I7$ と バタフライ演算器 23D-3 の出力信号 $btf3b_out$ ($=MEMR6 - MEMR7$) と バタフライ演算器 23D-5 の出力信号 $btf5b_out$ ($=MEMR4 + MEMR5 - MEMR6 - MEMR7$) と バタフライ演算器 23D-6 の出力信号 $btf6b_out$ ($=MEMR0 + MEMR1 + MEMR2 + MEMR3 - MEMR4 - MEMR5 - MEMR6 - MEMR7$) のうち、バタフライ演算器 23D-6 の出力信号 $btf6b_out$ を選択するように制御信号 $W7SEL$ が供給され、これにより選択されたデータが信号 $MEMW7 = MEMR0 + MEMR1 + MEMR2 + MEMR3 - MEMR4 - MEMR5 - MEMR6 - MEMR7$ として出力される。

【0324】

以上のように、本第7の実施形態に係る16入力16出力の演算装置20Dによれば、上述した第3の実施形態の効果と同様の効果を得ることができる。

【0325】

なお、本第7の実施形態においては、データ入力 $MEMR0 \sim MEMR7$ の入力段に単項演算器、たとえばシフト演算器を、上述した第3～第5の実施形態と同様に、配置することが可能である。

この場合、単項演算器 $SFT0, SFT1, SFT2, SFT3, SFT4, SFT5, SFT6, SFT7$ は、それぞれたとえば制御信号 $SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MD$ を入力とし、 $MEMR0, MEMR1, MEMR2, MEMR3, MEMR4, MEMR5, MEMR6, MEMR7$ の値を、制御信号

SFT0MD, SFT1MD, SFT2MD, SFT3MD, SFT4MD, SFT5MD, SFT6MD, SFT7MDの値に応じて単項演算を行い、その結果を入力選択装置22D-0~22D-7(RSEL0~RSEL7)、出力選択装置24D-0~24D-7(DSEL0~DSEL7)に出力するように構成される。

ただし、ここで単項演算器は、左または右に任意ビットシフトする演算で実現される演算器である。

【0326】

第8実施形態

図10は、本発明に係る演算装置の第8の実施形態を示す構成図である。

図10の演算装置30は、上述した第1および第2の実施形態に係るALUおよびMACを含む第1の演算装置と、第3~第7の実施形態に係るバタフライ演算器を含む第2の演算装置とを再構成可能に結合することで、データ読み出し、演算、データ書き込みの1サイクルで信号処理演算を効率良く実行可能に構成されている。

【0327】

本第8の実施形態に係る演算装置30は、図10に示すように、ALUおよびMACを含む第1の演算装置(PU)31、およびバタフライ演算器を含む第2の演算装置(BTFL)32を主構成要素として有している。

【0328】

第1の演算装置31は、たとえば図2の演算装置を4つカスケード接続した図4の演算装置と同様の構成を有しており、データ入力D0I, D1I, D2I, D3I、係数入力COE0, COE1, COE2, COE3、およびデータ出力OT0, OT1, OT2, OT3を有し、再構成のための制御信号CTRL0, CTRL1, CTRL2, CTRL3が供給される。

そして、各制御信号には、演算制御信号ASEL, BSEL, ESEL, MACMD, ALUMD, RNDMD, SATMD, OSFMD, ACCMD、および遅延制御信号C0DL, C1DL, C2DL, C3DL, D0DL, D1DL, D2DL, D3DLが含まれる。

【 0 3 2 9 】

第 2 の演算装置 3 2 は、データ入力 MEMR 0, MEMR 1, MEMR 2, MEMR 3、演算結果入力 I 0, I 1, I 2, I 3、データ出力 D 0, D 1, D 2, D 3、および MEMW 0, MEMW 1, MEMW 2, MEMW 3 を有し、再構成のための制御信号 CTRLB が供給される。

たとえば第 4 の実施形態の場合を例にとると、制御信号 CTRLB には、SFTOMD, ROSEL, BTFMD0, DOSEL, WOSEL, SFT1MD, R1SEL, BTFMD1, D1SEL, W1SEL, SFT2MD, R2SEL, BTFMD2, D2SEL, W2SEL、および SFT3MD, R3SEL, BTFMD3, D3SEL, W3SEL が含まれる。

【 0 3 3 0 】

そして、第 2 の演算装置 3 2 のデータ入力 MEMR 0 にデータ R 0 が供給され、データ入力 MEMR 1 にデータ R 1 が供給され、データ入力 MEMR 2 にデータ R 2 が供給され、データ入力 MEMR 3 にデータ R 3 が供給される。

第 2 の演算装置 3 2 のデータ出力 D 0 が第 1 の演算装置 3 1 のデータ入力 D 0 I に供給され、第 2 の演算装置 3 2 のデータ出力 D 1 が第 1 の演算装置 3 1 のデータ入力 D 1 I に供給され、第 2 の演算装置 3 2 のデータ出力 D 2 が第 1 の演算装置 3 1 のデータ入力 D 2 I に供給され、第 2 の演算装置 3 2 のデータ出力 D 3 が第 1 の演算装置 3 1 のデータ入力 D 3 I に供給される。

また、第 1 の演算装置 3 1 のデータ出力 OT 0 が第 2 の演算装置 3 2 のデータ入力 I 0 に供給され、第 1 の演算装置 3 1 のデータ出力 OT 1 が第 2 の演算装置 3 2 のデータ入力 I 1 に供給され、第 1 の演算装置 3 1 のデータ出力 OT 2 が第 2 の演算装置 3 2 のデータ入力 I 2 に供給され、第 1 の演算装置 3 1 のデータ出力 OT 3 が第 2 の演算装置 3 2 のデータ入力 I 3 に供給される。

また、第 2 の演算装置 3 2 のデータ出力 MEMW 0 からデータ W 0 が出力され、データ出力 MEMW 1 からデータ W 1 が出力され、データ出力 MEMW 2 からデータ W 2 が出力され、データ出力 MEMW 3 からデータ W 3 が出力される。

【 0 3 3 1 】

また、第 1 の演算装置 3 1 においては、以下の演算処理を同時（並列）に実行

可能に構成されている。

【0332】

【数14】

$OT0 = ((C0I \parallel C1I \parallel C2I \parallel C3I \parallel D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0) \circ_{p0} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0) \circ_{p1} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0))$ 、かつ、

$OT1 = ((C0I \parallel C1I \parallel C2I \parallel C3I \parallel D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0) \circ_{p2} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0) \circ_{p3} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT2 \parallel OT3 \parallel OT0 \parallel 0))$ 、かつ、

$OT2 = ((C0I \parallel C1I \parallel C2I \parallel C3I \parallel D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0) \circ_{p4} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0) \circ_{p5} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT3 \parallel OT0 \parallel OT1 \parallel 0))$ 、かつ、

$OT3 = ((C0I \parallel C1I \parallel C2I \parallel C3I \parallel D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT1 \parallel OT2 \parallel OT3 \parallel 0) \circ_{p6} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0) \circ_{p7} (D0I \parallel D1I \parallel D2I \parallel D3I \parallel OT0 \parallel OT1 \parallel OT2 \parallel 0))$

【0333】

ただし、 \parallel は選択演算を、 $\circ_{p0} \sim \circ_{p7}$ は演算子を表している。またここで、演算子 $\circ_{p0} \sim \circ_{p7}$ は、以下のいずれかで定義される。

【0334】

【数15】

$A \circ_p B = A * B,$

$A \circ_p B = A * -B,$

$A \circ_p B = A + B,$

$A \circ_p B = A - B,$

$A \circ_p B = A \& B,$

$$A \circ p B = A \mid B,$$

$$A \circ p B = A \wedge B,$$

【0335】

また、第2の演算装置32においては、以下の演算処理を同時（並列）に実行可能に構成されている。

【0336】

【数16】

$$\text{MEMW0} = ((\text{MEMR0} \parallel \text{I0}) \circ p 0 (\text{MEMR1} \parallel \text{I1})) \parallel \text{I0}, \text{か}$$

つ、

$$\text{MEMW1} = ((\text{MEMR0} \parallel \text{I0}) \circ p 1 (\text{MEMR1} \parallel \text{I1})) \parallel \text{I1}, \text{か}$$

つ、

$$\text{MEMW2} = ((\text{MEMR2} \parallel \text{I2}) \circ p 2 (\text{MEMR3} \parallel \text{I3})) \parallel \text{I2}, \text{か}$$

つ、

$$\text{MEMW3} = ((\text{MEMR2} \parallel \text{I2}) \circ p 3 (\text{MEMR3} \parallel \text{I3})) \parallel \text{I3}, \text{か}$$

つ、

$$\text{D0} = ((\text{MEMR0} \parallel \text{I0}) \circ p 4 (\text{MEMR1} \parallel \text{I1})) \parallel \text{MEMR0}, \text{か}$$

つ、

$$\text{D1} = ((\text{MEMR0} \parallel \text{I0}) \circ p 5 (\text{MEMR1} \parallel \text{I1})) \parallel \text{MEMR1}, \text{か}$$

つ、

$$\text{D2} = ((\text{MEMR2} \parallel \text{I2}) \circ p 6 (\text{MEMR3} \parallel \text{I3})) \parallel \text{MEMR2}, \text{か}$$

つ、

$$\text{D3} = ((\text{MEMR2} \parallel \text{I2}) \circ p 7 (\text{MEMR3} \parallel \text{I3})) \parallel \text{MEMR3}$$

【0337】

ここでも、 \parallel は選択演算を、 $\circ p 0 \sim \circ p 7$ は演算子を表している。またここで、演算子 $\circ p 0 \sim \circ p 7$ は、以下のいずれかで定義される。

【0338】

【数17】

$$A \circ p B = A + B,$$

$$A \circ p B = A - B,$$

$$A \circ p B = -A + B,$$

$$A \circ p B = -A - B,$$

$$A \circ p B = A,$$

$$A \circ p B = -A,$$

$$A \circ p B = B,$$

$$A \circ p B = -B,$$

【0339】

次に、図10の演算装置の動作を、第1の演算装置31が図4の並列演算装置と同様の構成を有し、第2の演算装置32が図6の装置と同様の構成を有する場合を例に説明する。

【0340】

なお、ここでは、以下の演算を実行するものとする。

$$W0 = R0 + R1,$$

$$W1 = COE0 * (R0 - R1) - COE1 * (R2 - R3),$$

$$W2 = R2 + R3,$$

$$W3 = COE2 * (R0 - R1) + COE3 * (R2 - R3)$$

【0341】

まず、第2の演算装置32において、図6に示すように、たとえばシフト演算器21A-0、21A-1、21A-2、21A-3のシフト量が、制御信号SFT0MD、SFT1MD、SFT2MD、SFT3MDによりゼロに設定される。

したがって、シフト演算器21A-0の出力信号sft0_outはMEMR0、すなわちデータR0となり、入力選択装置22A-0および出力選択装置24A-0に供給される。

同様に、シフト演算器21A-1の出力信号sft1_outはMEMR1、すなわちR1となり、入力選択装置22A-1および出力選択装置24A-1に供給される。

シフト演算器21A-2の出力信号sft2_outはMEMR2、すなわちR2となり、入力選択装置22A-2および出力選択装置24A-2に供給される

そして、シフト演算器 21A-3 の出力信号 $sft3_out$ は MEMR3、すなわち R3 となり、入力選択装置 22A-3 および出力選択装置 24A-3 に供給される。

【0342】

入力選択装置 22A-0 では、制御信号 R0SEL により、シフト演算器 21A-0 の出力信号 R0 を選択するように制御され、選択されたデータ R0 が信号 $r0sel_out$ として、バラフライ演算器 23A-0 の入力端子 DA に供給される。

入力選択装置 22A-1 では、制御信号 R1SEL により、シフト演算器 21A-1 の出力信号 R1 を選択するように制御され、選択されたデータ R1 が信号 $r1sel_out$ として、バラフライ演算器 23A-0 の入力端子 DB に供給される。

【0343】

また、入力選択装置 22A-2 では、制御信号 R2SEL により、シフト演算器 21A-2 の出力信号 R2 を選択するように制御され、選択されたデータ R2 が信号 $r2sel_out$ として、バラフライ演算器 23A-1 の入力端子 DA に供給される。

入力選択装置 22A-3 では、制御信号 R3SEL により、シフト演算器 21A-3 の出力信号 R3 を選択するように制御され、選択されたデータ R3 が信号 $r3sel_out$ として、バラフライ演算器 23A-1 の入力端子 DB に供給される。

【0344】

バラフライ演算器 23A-0 では、制御端子 CTL に供給される制御信号 BT FMD0 により、 $OA = DA + DB$ 、 $OB = DA - DB$ が計算されるモードに設定される。

これにより、バラフライ演算器 23A-0 においては、入力端子 DA に供給されたデータ R0 と入力端子 DB に供給されたデータ R1 とが加算され、その結果である $(R0 + R1)$ が出力端子 OA から信号 $btf0a_out$ として、出力選

択装置 2 4 A - 0 および 2 5 A - 0 に出力される。

また、バタフライ演算器 2 3 A - 0 においては、入力端子 D A に供給されたデータ R 0 と入力端子 D B に供給されたデータ R 1 との差がとられ、その結果である $(R 0 - R 1)$ が出力端子 O B から信号 $b t f 0 b_out$ として、出力選択装置 2 4 A - 1 および 2 5 A - 1 に出力される。

【 0 3 4 5 】

同様に、バタフライ演算器 2 3 A - 1 では、制御端子 C T L に供給される制御信号 B T F M D 1 により、 $O A = D A + D B$ 、 $O B = D A - D B$ が計算されるモードに設定される。

これにより、バタフライ演算器 2 3 A - 1 においては、入力端子 D A に供給されたデータ R 2 と入力端子 D B に供給されたデータ R 3 とが加算され、その結果である $(R 2 + R 3)$ が出力端子 O A から信号 $b t f 1 a_out$ として、出力選択装置 2 4 A - 2 および 2 5 A - 2 に出力される。

また、バタフライ演算器 2 3 A - 1 においては、入力端子 D A に供給されたデータ R 2 と入力端子 D B に供給されたデータ R 3 との差がとられ、その結果である $(R 2 - R 3)$ が出力端子 O B から信号 $b t f 1 b_out$ として、出力選択装置 2 4 A - 3 および 2 5 A - 3 に出力される。

【 0 3 4 6 】

そして、第 2 の演算装置 3 2 では、出力選択装置 2 4 A - 1 において、シフト演算器 2 1 A - 1 の出力信号 (R 1) とバタフライ演算器 2 3 A - 0 の出力信号 $b t f 0 b_out$ ($=MEMR 0 - MEMR 1$) のうち、バタフライ演算器 2 3 A - 0 の出力信号 $b t f 0 b_out$ を選択するように制御信号 D 1 S E L が供給され、これにより選択されたデータが信号 $D 1 = R 0 - R 1$ として、第 1 の演算装置 3 1 のデータ入力 D 1 I に供給される。

【 0 3 4 7 】

同様に、第 2 の演算装置 3 2 では、出力選択装置 2 4 A - 3 において、シフト演算器 2 1 A - 3 の出力信号 (R 3) とバタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 b_out$ ($=R 2 - R 3$) のうち、バタフライ演算器 2 3 A - 1 の出力信号 $b t f 1 b_out$ を選択するように制御信号 D 3 S E L が供給され、これに

より選択されたデータが信号 $D3 = R2 - R3$ として、第1の演算装置31のデータ入力 $D3I$ に供給される。

【0348】

第1の演算装置31では、まず、演算装置10A-0において、制御信号 $CTL0$ により、演算結果信号 $OTO = COE0 * D1$ となる演算が行われるように制御が行われる。

【0349】

この場合、演算装置10A-0において、制御信号 $ASEL$ が係数入力 $COE0$ を選択するように設定されて第1の選択装置11に供給される。

また、制御信号 $BSEL$ がデータ入力 $D1I (= D1 = R0 - R1)$ を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数 $COE0$ が信号 $ase1_out$ として、 $ALU14$ および $MAC15$ に出力される。また、第2の選択装置12からデータ $D1 (= R0 - R1)$ が信号 $bse1_out$ として、 $ALU14$ および $MAC15$ に出力される。

【0350】

このとき、乗算を指定する制御信号 $MACMD$ が、 $MAC15$ に供給される。これにより、 $MAC15$ において、係数 $COE0$ とデータ $D1$ との乗算が行われ、その結果 $COE0 * D1$ が信号 mac_out として第4の選択装置16に出力される。

そして、制御信号 $ESEL$ が $MAC15$ の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16において $MAC15$ の出力信号 $mac_out (COE0 * D1)$ が選択され、信号 $ese1_out (COE0 * D1)$ としてレジスタ17に出力される。

レジスタ17では、 $MAC15$ の演算結果 $COE0 * D1$ が格納され、この格納データが演算出力端子 PE_C から演算結果信号 OTO として、演算装置10A-1のカスケード入力 PE_P0 、演算装置10A-2のカスケード入力 PE_P1 、および演算装置10A-3のカスケード入力 PE_P2 に出力される。

【0351】

演算装置10A-0においては、C0FIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数COE0~COE3が係数出力端子PE__C00~PE__C30から係数出力c00~c30として次段の演算装置10A-1の係数入力端子PE__C0I~PE__C3Iに出力され、D0FIFO19-1, D3FIFO19-3で所望の遅延量だけ遅延されたデータD1, D3がデータ出力端子PE__D1O, PE__D3Oからデータ出力d10, d30として次段の演算装置10A-1のデータ入力端子PE__D1I, ~PE__D3Iに出力される。

【0352】

次に、演算装置10A-1においては、制御信号CTL1により、演算結果信号 $OT1 = OT0 - COE1 * D3$ となる演算が行われるように制御が行われる。

【0353】

この場合、制御信号ASELが係数入力端子PE__C1Iに供給される演算装置10A-0の係数出力c10 (COE1) を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE__D1Iに供給される演算装置10A-0のデータ出力d10 ($D3 = R2 - R3$) を選択するように設定されて第2の選択装置12に供給される。

また、制御信号CSELがカスケード入力端子PE__P0に供給される演算装置10A-0の演算結果信号OT0 ($COE0 * D1$) を選択するように設定されて第3の選択装置13に供給される。

これにより、第1の選択装置11から係数COE1が信号ase1__outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータD3 ($= R2 - R3$) が信号bse1__outとして、ALU14およびMAC15に出力される。また、第3の選択装置13から、カスケード入力データ $COE0 * D1$ が信号cse1__outとして第1の選択装置11、ALU14およびMAC15に出力される。

【0354】

このとき、乗減算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数COE1とデータD3との乗算が行われ、さらに、その結果 $COE0 * D1$ と $COE1 * D3$ との減算が行われる。これにより、MAC15から乗加算結果($COE0 * D1 - COE1 * D3$)が信号mac__outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac__out($COE0 * D1 - COE1 * D3$)が選択され、信号esel__outとしてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果($COE0 * D1 - COE1 * D3$)が格納され、この格納データが演算出力端子PE__Cから演算結果信号OT1として、演算装置10A-0のカスケード入力PE__P2、演算装置10A-2のカスケード入力PE__P0、および演算装置10A-2のカスケード入力PE__P1に出力される。

また、演算装置10A-1の($COE0 * D1 - COE1 * D3$)を示す演算結果信号OT1は、図10の第2の演算装置32のデータ入力I1に供給される。

【0355】

また、演算装置10A-1においては、COFIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数COE0~COE3が係数出力端子PE__C00~PE__C30から係数出力c01~c31として次段の演算装置10A-2の係数入力端子PE__C0I~PE__C3Iに出力され、DOFIFO19-1、D3FIFO19-3で所望の遅延量だけ遅延されたデータD1、D3がデータ出力端子PE__D1O、PE__D3Oからデータ出力d11、d31として次段の演算装置10A-3のデータ入力端子PE__D1I、PE__D3Iに出力される。

【0356】

次に、演算装置10A-2においては、制御信号CTL2により、演算結果信号 $OT2 = COE2 * D1$ となる演算が行われるように制御が行われる。

【0357】

この場合、制御信号ASELが係数入力端子PE_C2Iに供給される演算装置10A-1の係数出力c21(COE2)を選択するように設定されて第1の選択装置11に供給される。

また、制御信号BSELがデータ入力端子PE_D1Iに供給される演算装置10A-1のデータ出力d11(D1)を選択するように設定されて第2の選択装置12に供給される。

これにより、第1の選択装置11から係数COE2が信号ase1_outとして、ALU14およびMAC15に出力される。また、第2の選択装置12からデータD1が信号bse1_outとして、ALU14およびMAC15に出力される。

【0358】

このとき、乗算を指定する制御信号MACMDが、MAC15に供給される。これにより、MAC15において、係数COE2とデータD1との乗算が行われる。これにより、MAC15から乗算結果COE2 * D1が信号mac_outとして第4の選択装置16に出力される。

そして、制御信号ESELがMAC15の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16においてMAC15の出力信号mac_out(COE2 * D1)が選択され、信号ese1_out(COE2 * D1)としてレジスタ17に出力される。

レジスタ17では、MAC15の演算結果COE2 * D1が格納され、この格納データが演算出力端子PE_Cから演算結果信号OT2として、演算装置10A-0のカスケード入力PE_P1、演算装置10A-2のカスケード入力PE_P2、および演算装置10A-3のカスケード入力PE_P0に出力される。

【0359】

演算装置10A-2においては、C0FIFO18-0~C3FIFO18-3で所望の遅延量だけ遅延された係数COE0, COE1, COE2, COE3が係数出力端子PE_C00~PE_C30から係数出力c02~c32として次段の演算装置10A-3の係数入力端子PE_C0I~PE_C3Iに出力さ

れ、D O F I F O 1 9 - 1, D 3 F I F O 1 9 - 3 で所望の遅延量だけ遅延されたデータ D 1, D 3 がデータ出力端子 P E _ D 1 O, P E _ D 3 O からデータ出力 d 1 2, d 3 2 として次段の演算装置 1 0 A - 3 のデータ入力端子 P E _ D 1 I ~ P E _ D 3 I に出力される。

【 0 3 6 0 】

次に、演算装置 1 0 A - 3 においては、制御信号 C T L 3 により、演算結果信号 $O T 3 = O T 2 + C O E 3 * D 3 = C O E 2 * D 1 + C O E 3 * D 3$ となる演算が行われるように制御が行われる。

【 0 3 6 1 】

この場合、制御信号 A S E L が係数入力端子 P E _ C 3 I に供給される演算装置 1 0 A - 2 の係数出力 c 3 2 (C O E 3) を選択するように設定されて第 1 の選択装置 1 1 に供給される。

また、制御信号 B S E L がデータ入力端子 P E _ D 3 I に供給される演算装置 1 0 A - 2 のデータ出力 d 3 2 (D 3) を選択するように設定されて第 2 の選択装置 1 2 に供給される。

また、制御信号 C S E L がカスケード入力端子 P E _ P O に供給される演算装置 1 0 A - 2 の演算結果信号 O T 2 (C O E 2 * D 1) を選択するように設定されて第 3 の選択装置 1 3 に供給される。

これにより、第 1 の選択装置 1 1 から係数 C O E 3 が信号 a s e l _ o u t として、A L U 1 4 および M A C 1 5 に出力される。また、第 2 の選択装置 1 2 からデータ D 3 が信号 b s e l _ o u t として、A L U 1 4 および M A C 1 5 に出力される。また、第 3 の選択装置 1 3 から、カスケード入力データ C O E 2 * D 1 が信号 c s e l _ o u t として第 1 の選択装置 1 1、A L U 1 4 および M A C 1 5 に出力される。

【 0 3 6 2 】

このとき、乗加算を指定する制御信号 M A C M D が、M A C 1 5 に供給される。これにより、M A C 1 5 において、係数 C O E 3 とデータ D 3 との乗算が行われ、さらに、その結果 C O E 3 * D 3 と (C O E 2 * D 1) との加算が行われる。これにより、M A C 1 5 から乗加算結果 $C O E 3 * D 3 + C O E 2 * D 1$ が信

号 mac_out として第4の選択装置16に出力される。

そして、制御信号 $ESEL$ が $MAC15$ の出力を選択するように、第4の選択装置16に供給されている。その結果、第4の選択装置16において $MAC15$ の出力信号 mac_out ($COE2 * D1 + COE3 * D3$) が選択され、信号 $esel_out$ ($COE2 * D1 + COE3 * D3$) としてレジスタ17に出力される。

レジスタ17では、 $MAC15$ の演算結果 ($COE2 * D1 + COE3 * D3$) が格納され、この格納データが演算出力端子 PE_C から演算結果信号 $OT3$ として所望の演算結果 out として出力され、演算装置10A-0のカスケード入力 PE_P0 、演算装置10A-2のカスケード入力 PE_P1 、および演算装置10A-2のカスケード入力 PE_P0 に出力される。

また、演算装置10A-3の ($COE2 * D1 + COE3 * D3$) を示す演算結果信号 $OT3$ は、図10の第2の演算装置32のデータ入力 $I3$ に供給される。

【0363】

なお、以上において、図2に示す遅延制御信号 $C0DL$ 、 $C1DL$ 、 $C2DL$ 、 $C3DL$ はすべて遅延0となるように、各 $C0FIFO \sim C3FIFO18-0 \sim 18-3$ に供給される。

また、遅延制御信号 $D0DL$ は遅延0となるように、 $D0FIFO19-0$ に供給され、遅延制御信号 $D1DL$ は遅延1となるように、 $D1FIFO19-1$ に供給され、遅延制御信号 $D2DL$ は遅延2となるように、 $D2FIFO19-2$ に供給され、遅延制御信号 $D3DL$ は遅延3となるように、 $D3FIFO19-3$ に供給される。

【0364】

第2の演算装置32のデータ入力 $I1$ に供給された第1の演算装置31の演算結果 ($COE0 * D1 - COE1 * D3$) は図6の出力選択装置25A-1に供給される。

また、第2の演算装置32のデータ入力 $I3$ に供給された第1の演算装置31の演算結果 ($COE2 * D1 + COE3 * D3$) は図6の出力選択装置25A-

3に供給される。

【0365】

そして、第2の演算装置32において、出力選択装置25A-0では、データ入力I0とバタフライ演算器23A-0の出力信号b t f 0 a__out (=R0+R1)のうち、バタフライ演算器23A-0の出力信号b t f 0 a__out を選択するように制御信号W0SELが供給され、これにより選択されたデータが信号MEMW0=R0+R1として出力される。

【0366】

また、出力選択装置25A-1では、データ入力I1とバタフライ演算器23A-0の出力信号b t f 0 b__out (=R0-R1)のうち、データ入力I1を選択するように制御信号W1SELが供給され、これにより選択されたデータが信号MEMW1=I1=(COE0*D1-COE1*D3)=(COE0*(R0-R1)-COE1*(R2-R3))として出力される。

【0367】

また、出力選択装置25A-2では、データ入力I2とバタフライ演算器23A-1の出力信号b t f 1 a__out (=R2+R3)のうち、バタフライ演算器23A-1の出力信号b t f 1 a__out を選択するように制御信号W2SELが供給され、これにより選択されたデータが信号MEMW2=R2+R3として出力される。

【0368】

また、出力選択装置25A-3では、データ入力I3とバタフライ演算器23A-1の出力信号b t f 1 b__out (=R2-R3)のうち、データ入力I3を選択するように制御信号W3SELが供給され、これにより選択されたデータが信号MEMW3=I3=(COE2*D1+COE3*D3)=(COE2*(R0-R1)+COE3*(R2-R3))として出力される。

【0369】

以上説明したように、本第8の実施形態によれば、第1および第2の実施形態に係るALUおよびMACを含む演算装置と、第3～第7の実施形態に係るバタフライ演算器を含む演算装置とを再構成可能に結合して、以下の利点がある

【0370】

すなわち、従来のDSPなどのプロセッサでは、

$$\text{MEMW0} = x[k0] + x[k1],$$

$$\text{MEMW1} = px * (x[k0] - x[k1]) - py * (y[k0] - y[k1]),$$

$$\text{MEMW2} = y[k0] + y[k1],$$

$$\text{MEMW3} = px * (x[k0] - x[k1]) + py * (y[k0] - y[k1])$$

の演算を実行しようとした場合、たとえばMEMW1の計算で

$$\text{reg1} = x[k0] - x[k1],$$

$$\text{reg2} = px * \text{reg1},$$

$$\text{reg3} = y[k0] - y[k1],$$

$$\text{reg4} = py * \text{reg3},$$

$$\text{MemW1} = \text{reg2} - \text{reg4},$$

などのように一時的にレジスタに値を格納する演算が必要となっていた。そのため演算動作に不要なレジスタへの書き込み、レジスタからの読み出しが多くなり、動作サイクル数、消費電力ともに増えていたが、MAC、ALUとバタフライ演算とを組み合わせることで、メモリ読み出しから、演算、メモリ書き込みを行う際に、演算ブロックでの演算自由度が増し、効率よい演算ができるようになる。そのため、実行サイクル数が少なくなり、また一時データの読み、書きが減るため電力が削減される。

【0371】

さらに、MEMW0の演算とMEMW1の演算のように $x[k0]$ 、 $x[k1]$ を共通に使用している場合には、従来のプロセッサでは $x[k0] + x[k1]$ 、 $x[k0] - x[k1]$ の演算を同時に行うことができずに演算に必要なサイクル数が増えていたが、本第8の実施形態では、この演算を同時に行うため必要サイクル数が少なくて済む。

【0372】

また、本第8の実施形態によれば、上述した第1の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路と

しての面積効率の低下を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0373】

第9実施形態

図11は、本発明に係る演算装置の第9の実施形態を示す構成図である。

本第9の実施形態に係る演算装置30Aは、第8の実施形態のように、上述した第1および第2の実施形態に係るALUおよびMACを含む第1の演算装置と、第3～第7の実施形態に係るバタフライ演算器を含む第2の演算装置とを再構成可能に結合した演算装置をより一般化した場合の装置例である。

この演算装置30Aもデータ読み出し、演算、データ書き込みの1サイクルで信号処理演算を効率良く実行可能に構成されている。

【0374】

本演算装置30Aは、図11に示すように、ALUおよびMACを含む第1の演算装置(PU)31A、およびバタフライ演算器を含む第2の演算装置32A-0(BTFLa0)、…、32A-k(BTFLak)、32B-0(BTFLb0)、…、32B-m(BTFLbm)、32C-0(BTFLc0)、…、32C-n(BTFLcn)を主構成要素として有している。

【0375】

以下に、第1の演算装置31A、および第2の演算装置32A-0(BTFLa0)、…、32A-k(BTFLak)、32B-0(BTFLb0)、…、32B-m(BTFLbm)、32C-0(BTFLc0)、…、32C-n(BTFLcn)のデータ入出力および制御信号、並びに接続関係について詳述し、各部の動作は、第8の実施形態の場合と同様に行われることから、その詳細は省略する。

【0376】

第1の演算装置31Aは、たとえば図1または図2の演算装置を2、4、8等の複数個カスケード接続した演算装置を含んでおり、データ入力D1a0、D1

$a1$ 、 $DIa2k$ 、 $DIa2k+1$ 、 $DIb0$ 、 $DIb1$ 、 $DIb2$ 、 $DIb3$ 、 $DIb4m$ 、 $DIb4m+1$ 、 $DIb4m+2$ 、 $DIb4m+3$ 、 $DIc0$ 、 $DIc1$ 、 \dots 、 $DIc6$ 、 $DIc7$ 、 $DIc8n$ 、 $DIc8n+1$ 、 \dots 、 $DIc8n+6$ 、 $DIc8n+7$ 、係数入力 $COE0$ 、 \dots 、 $COEp$ 、データ出力 $OTa0$ 、 $OTa1$ 、 $OTa2k$ 、 $OTa2k+1$ 、 $OTb0$ 、 $OTb1$ 、 $OTb2$ 、 $OTb3$ 、 $OTb4m$ 、 $OTb4m+1$ 、 $OTb4m+2$ 、 $OTb4m+3$ 、 $OTc0$ 、 $OTc1$ 、 \dots 、 $OTc6$ 、 $OTc7$ 、 $OTc8n$ 、 $OTc8n+1$ 、 \dots 、 $OTc8n+6$ 、 $OTc8n+7$ を有し、再構成のための制御信号 $CTRLa0$ 、 \dots 、 $CTRLa2k+1$ 、 $CTRLb0$ 、 \dots 、 $CTRLb4m+3$ 、 $CTRLc0$ 、 \dots 、 $CTRLc8n+7$ が供給される。

そして、各制御信号には、演算制御信号 $ASEL$ 、 $BSEL$ 、 $ESEL$ 、 $MACMD$ 、 $ALUMD$ 、 $RNDMD$ 、 $SATMD$ 、 $OSFMD$ 、 $ACCMD$ 、および遅延制御信号 $CODL$ 、 $C1DL$ 、 \dots 、 $CkDL$ 、 $D0DL$ 、 $D1DL$ 、 \dots 、 $DmDL$ が含まれる。

【0377】

第2の演算装置32A-0は、たとえば図5に示すような4入力4出力の演算装置であって、データ入力 $MEMRa0$ 、 $MEMRa1$ 、演算結果入力 $Ia0$ 、 $Ia1$ 、データ出力（演算結果出力） $Da0$ 、 $Da1$ 、データ出力 $MEMWa0$ 、 $MEMWa1$ を有し、再構成のための制御信号 $CTRLBa0$ が供給される。

たとえば第3の実施形態の場合を例にとると、制御信号 $CTRLBa0$ には、 $SFT0MD$ 、 $ROSEL$ 、 $BTFMD0$ 、 $D0SEL$ 、 $W0SEL$ 、および $SFT1MD$ 、 $R1SEL$ 、 $BTFMD1$ 、 $D1SEL$ 、 $W1SEL$ が含まれる。

【0378】

第2の演算装置32A-kは、たとえば図5に示すような4入力4出力の演算装置であって、データ入力 $MEMRa2k$ 、 $MEMRa2k+1$ 、演算結果入力 $Ia2k$ 、 $Ia2k+1$ 、データ出力（演算結果出力） $Da2k$ 、 $Da2k+1$ 、データ出力 $MEMWa2k$ 、 $MEMWa2k+1$ を有し、再構成のための制御信号 $CTRLBa2k$ が供給される。

たとえば第3の実施形態の場合を例にとると、制御信号 $CTRLBa2k$ には

、SFT0MD, ROSEL, BTFMD0, DOSEL, WOSEL、および SFT1MD, R1SEL, BTFMD1, D1SEL, W1SELが含まれる。

【0379】

第2の演算装置32B-0は、たとえば図6または図7に示すような8入力8出力の演算装置であって、データ入力MEMRb0, MEMRb1, MEMRb2, MEMRb3、演算結果入力Ib0, Ib1, Ib2, Ib3、データ出力（演算結果出力）Db0, Db1, Db2, Db3、データ出力MEMWb0, MEMWb1, MEMWb2, MEMWb3を有し、再構成のための制御信号CTRLBb0が供給される。

たとえば第4または第5の実施形態の場合を例にとると、制御信号CTRLBb0には、SFT0MD, ROSEL, BTFMD0, DOSEL, WOSEL、SFT1MD, R1SEL, BTFMD1, D1SEL, W1SEL、SFT2MD, R2SEL, BTFMD2, D2SEL, W2SEL、およびSFT3MD, R3SEL, BTFMD3, D3SEL, W3SELが含まれる。

【0380】

第2の演算装置32B-mは、たとえば図6または図7に示すような8入力8出力の演算装置であって、データ入力MEMRb4m, MEMRb4m+1, MEMRb4m+2, MEMRb4m+3、演算結果入力Ib4m, Ib4m+1, Ib4m+2, Ib4m+3、データ出力（演算結果出力）Db4m, Db4m+1, Db4m+2, Db4m+3、データ出力MEMWb4m, MEMWb4m+1, MEMWb4m+2, MEMWb4m+3を有し、再構成のための制御信号CTRLBb4mが供給される。

たとえば第4または第5の実施形態の場合を例にとると、制御信号CTRLBb4mには、SFT0MD, ROSEL, BTFMD0, DOSEL, WOSEL、SFT1MD, R1SEL, BTFMD1, D1SEL, W1SEL、SFT2MD, R2SEL, BTFMD2, D2SEL, W2SEL、およびSFT3MD, R3SEL, BTFMD3, D3SEL, W3SELが含まれる。

【0381】

第2の演算装置32C-0は、たとえば図8または図9に示すような16入力16出力の演算装置であって、データ入力MEMRc0, MEMRc1, ..., MEMRc6, MEMRc7、演算結果入力Ic0, Ic1, ..., Ic6, Ic7、データ出力（演算結果出力）Dc0, Dc1, ..., Dc6, Dc7、データ出力MEMWc0, MEMWc1, ..., MEMWc6, MEMWc7を有し、再構成のための制御信号CTRLBc0が供給される。

たとえば第6または第7の実施形態の場合を例にとると、制御信号CTRLBb4mには、SFT0MD, ROSEL, MTFMD0, DOSEL, WOSEL, SFT1MD, R1SEL, MTFMD1, D1SEL, W1SEL, SFT2MD, R2SEL, MTFMD2, D2SEL, W2SEL, SFT3MD, R3SEL, MTFMD3, D3SEL, W3SEL, SFT4MD, R4SEL, MTFMD4, D4SEL, W4SEL, SFT5MD, R5SEL, MTFMD5, D5SEL, W5SEL, SFT6MD, R6SEL, MTFMD6, D6SEL, W6SEL, SFT7MD, R7SEL, MTFMD7, D7SEL, W7SELが含まれる。

【0382】

第2の演算装置32C-nは、たとえば図8または図9に示すような16入力16出力の演算装置であって、データ入力MEMRc8n, MEMRc8n+1, ..., MEMRc8n+6, MEMRc8n+7、演算結果入力Ilc8n, Ilc8n+1, ..., Ic8n+6, Ic8n+7、データ出力（演算結果出力）Dc8n, Dc8n+1, ..., Dc8n+6, Dc8n+7、データ出力MEMWc8n, MEMWc8n+1...MEMWc8n+6, MEMWc8n+7を有し、再構成のための制御信号CTRLBc8nが供給される。

たとえば第6または第7の実施形態の場合を例にとると、制御信号CTRLBb4mには、SFT0MD, ROSEL, MTFMD0, DOSEL, WOSEL, SFT1MD, R1SEL, MTFMD1, D1SEL, W1SEL, SFT2MD, R2SEL, MTFMD2, D2SEL, W2SEL, SFT3MD, R3SEL, MTFMD3, D3SEL, W3SEL, SFT4MD, R4SEL, MTFMD4, D4SEL, W4SEL, SFT5MD, R5SEL, M

TFMD5, D5SEL, W5SEL, SFT6MD, R6SEL, MTFMD6, D6SEL, W6SEL, SFT7MD, R7SEL, MTFMD7, D7SEL, W7SELが含まれる。

【0383】

そして、第2の演算装置32A-0のデータ入力MEMRa0にデータRa0が供給され、データ入力MEMRa1にデータRa1が供給される。

第2の演算装置32A-0のデータ出力Da0が第1の演算装置31Aのデータ入力Dia0に供給され、第2の演算装置32A-0のデータ出力Da1が第1の演算装置31Aのデータ入力Dia1に供給される。

また、第1の演算装置31Aのデータ出力OTa0が第2の演算装置32A-0のデータ入力Ia0に供給され、第1の演算装置31Aのデータ出力OTa1が第2の演算装置32A-0のデータ入力Ia1に供給される。

また、第2の演算装置32A-0のデータ出力MEMWa0からデータWa0が出力され、データ出力MEMWa1からデータWa1が出力される。

【0384】

第2の演算装置32A-kのデータ入力MEMRa2kにデータRa2kが供給され、データ入力MEMRa2k+1にデータRa2k+1が供給される。

第2の演算装置32A-kのデータ出力Da2kが第1の演算装置31Aのデータ入力Dia2kに供給され、第2の演算装置32A-kのデータ出力Da2k+1が第1の演算装置31Aのデータ入力Dia2k+1に供給される。

また、第1の演算装置31Aのデータ出力OTa2kが第2の演算装置32A-kのデータ入力Ia2kに供給され、第1の演算装置31Aのデータ出力OTa2k+1が第2の演算装置32A-kのデータ入力Ia2k+1に供給される。

また、第2の演算装置32A-kのデータ出力MEMWa2kからデータWa2kが出力され、データ出力MEMWa2k+1からデータWa2k+1が出力される。

【0385】

第2の演算装置32B-0のデータ入力MEMRb0にデータRb0が供給さ

れ、データ入力MEMR b 1にデータR b 1が供給され、データ入力MEMR b 2にデータR b 2が供給され、データ入力MEMR b 3にデータR b 3が供給される。

第2の演算装置3 2 B - 0のデータ出力D b 0が第1の演算装置3 1 Aのデータ入力D I b 0に供給され、第2の演算装置3 2 B - 0のデータ出力D b 1が第1の演算装置3 1 Aのデータ入力D I b 1に供給され、第2の演算装置3 2 B - 0のデータ出力D b 2が第1の演算装置3 1 Aのデータ入力D I b 2に供給され、第2の演算装置3 2 B - 0のデータ出力D b 3が第1の演算装置3 1 Aのデータ入力D I b 3に供給される。

また、第1の演算装置3 1 Aのデータ出力O T b 0が第2の演算装置3 2 B - 0のデータ入力I b 0に供給され、第1の演算装置3 1 Aのデータ出力O T b 1が第2の演算装置3 2 B - 0のデータ入力I b 1に供給され、第1の演算装置3 1 Aのデータ出力O T b 2が第2の演算装置3 2 B - 0のデータ入力I b 2に供給され、第1の演算装置3 1 Aのデータ出力O T b 3が第2の演算装置3 2 B - 0のデータ入力I b 3に供給される。

また、第2の演算装置3 2 B - 0のデータ出力MEMW b 0からデータW b 0が出力され、データ出力MEMW b 1からデータW b 1が出力され、データ出力MEMW b 2からデータW b 2が出力され、データ出力MEMW b 3からデータW b 3が出力される。

【 0 3 8 6 】

第2の演算装置3 2 B - mのデータ入力MEMR b 4 mにデータR b 4 mが供給され、データ入力MEMR b 4 m + 1にデータR b 4 m + 1が供給され、データ入力MEMR b 4 m + 2にデータR b 4 m + 2が供給され、データ入力MEMR b 4 m + 3にデータR b 4 m + 3が供給される。

第2の演算装置3 2 B - mのデータ出力D b 4 mが第1の演算装置3 1 Aのデータ入力D I b 4 mに供給され、第2の演算装置3 2 B - mのデータ出力D b 4 m + 1が第1の演算装置3 1 Aのデータ入力D I b 4 m + 1に供給され、第2の演算装置3 2 B - mのデータ出力D b 4 m + 2が第1の演算装置3 1 Aのデータ入力D I b 4 m + 2に供給され、第2の演算装置3 2 B - mのデータ出力D b 4

$m+3$ が第 1 の演算装置 3 1 A のデータ入力 $DI\ b\ 4\ m+3$ に供給される。

また、第 1 の演算装置 3 1 A のデータ出力 $OT\ b\ 4\ m$ が第 2 の演算装置 3 2 B - m のデータ入力 $I\ b\ 4\ m$ に供給され、第 1 の演算装置 3 1 A のデータ出力 $OT\ b\ 4\ m+1$ が第 2 の演算装置 3 2 B - m のデータ入力 $I\ b\ 4\ m+1$ に供給され、第 1 の演算装置 3 1 A のデータ出力 $OT\ b\ 4\ m+2$ が第 2 の演算装置 3 2 B - m のデータ入力 $I\ b\ 4\ m+2$ に供給され、第 1 の演算装置 3 1 A のデータ出力 $OT\ b\ 4\ m+3$ が第 2 の演算装置 3 2 B - m のデータ入力 $I\ b\ 4\ m+3$ に供給される。

また、第 2 の演算装置 3 2 B - m のデータ出力 $MEMW\ b\ 4\ m$ からデータ $W\ b\ 4\ m$ が出力され、データ出力 $MEMW\ b\ 4\ m+1$ からデータ $W\ b\ 4\ m+1$ が出力され、データ出力 $MEMW\ b\ 4\ m+2$ からデータ $W\ b\ 4\ m+2$ が出力され、データ出力 $MEMW\ b\ 4\ m+3$ からデータ $W\ b\ 4\ m+3$ が出力される。

【 0 3 8 7 】

第 2 の演算装置 3 2 C - 0 のデータ入力 $MEMR\ c\ 0$ にデータ $R\ c\ 0$ が供給され、データ入力 $MEMR\ c\ 1$ にデータ $R\ c\ 1$ が供給され、同様にしてデータ入力 $MEMR\ c\ 6$ にデータ $R\ c\ 6$ が供給され、データ入力 $MEMR\ c\ 7$ にデータ $R\ c\ 7$ が供給される。

第 2 の演算装置 3 2 C - 0 のデータ出力 $D\ c\ 0$ が第 1 の演算装置 3 1 A のデータ入力 $DI\ c\ 0$ に供給され、第 2 の演算装置 3 2 C - 0 のデータ出力 $D\ c\ 1$ が第 1 の演算装置 3 1 A のデータ入力 $DI\ c\ 1$ に供給され、同様にして第 2 の演算装置 3 2 C - 0 のデータ出力 $D\ c\ 6$ が第 1 の演算装置 3 1 A のデータ入力 $DI\ c\ 6$ に供給され、第 2 の演算装置 3 2 C - 0 のデータ出力 $D\ c\ 7$ が第 1 の演算装置 3 1 A のデータ入力 $DI\ c\ 7$ に供給される。

また、第 1 の演算装置 3 1 A のデータ出力 $OT\ c\ 0$ が第 2 の演算装置 3 2 C - 0 のデータ入力 $I\ c\ 0$ に供給され、第 1 の演算装置 3 1 A のデータ出力 $OT\ c\ 1$ が第 2 の演算装置 3 2 C - 0 のデータ入力 $I\ c\ 1$ に供給され、同様にして第 1 の演算装置 3 1 A のデータ出力 $OT\ c\ 6$ が第 2 の演算装置 3 2 C - 0 のデータ入力 $I\ c\ 6$ に供給され、第 1 の演算装置 3 1 A のデータ出力 $OT\ c\ 7$ が第 2 の演算装置 3 2 C - 0 のデータ入力 $I\ c\ 7$ に供給される。

また、第2の演算装置32C-0のデータ出力MEMWc0からデータWc0が出力され、データ出力MEMWc1からデータWc1が出力され、同様にしてデータ出力MEMWc6からデータWc6が出力され、データ出力MEMWc7からデータWc7が出力される。

【0388】

第2の演算装置32C-nのデータ入力MEMRc8nにデータRc8nが供給され、データ入力MEMRc8n+1にデータRc8n+1が供給され、同様にしてデータ入力MEMRc8n+6にデータRc8n+6が供給され、データ入力MEMRc8n+7にデータRc8n+7が供給される。

第2の演算装置32C-nのデータ出力DC8nが第1の演算装置31Aのデータ入力DIc8nに供給され、第2の演算装置32C-nのデータ出力Dc8n+1が第1の演算装置31Aのデータ入力DIc8n+1に供給され、同様にして第2の演算装置32C-nのデータ出力Dc8n+6が第1の演算装置31Aのデータ入力DIc8n+6に供給され、第2の演算装置32C-nのデータ出力Dc8n+7が第1の演算装置31Aのデータ入力DIc8n+3に供給される。

また、第1の演算装置31Aのデータ出力OTc8nが第2の演算装置32C-nのデータ入力Ic8nに供給され、第1の演算装置31Aのデータ出力OTc8n+1が第2の演算装置32C-nのデータ入力Ic8n+1に供給され、同様にして第1の演算装置31Aのデータ出力OTc8n+6が第2の演算装置32C-nのデータ入力Ic8n+6に供給され、第1の演算装置31Aのデータ出力OTc8n+7が第2の演算装置32C-nのデータ入力Ic8n+7に供給される。

また、第2の演算装置32C-nのデータ出力MEMWc8nからデータWc8nが出力され、データ出力MEMWc8n+1からデータWc8n+1が出力され、同様にしてデータ出力MEMWc8n+6からデータWc8n+6が出力され、データ出力MEMWc8n+7からデータWc8n+7が出力される。

【0389】

このような構成を有する演算装置30Aにおいて、たとえば第1の演算装置3

1 A と 8 入力 8 出力の第 2 の演算装置 3 2 B - 0 ~ 3 2 B - m との間でデータの授受を行って演算を行う場合には、上述した第 8 の実施形態においては説明した動作と同様の動作が行われる。

その他の第 2 の演算装置 3 2 A - 0 ~ 3 2 A - k、3 2 C - 0 ~ 3 2 C - n と第 1 の演算装置 3 1 A との間でデータの授受を行って演算を行う場合であっても、データ入出力数が異なるだけで、略同様の動作が行われる。

したがって、上述したように、ここでは各部の動作は、その詳細は省略する。

【 0 3 9 0 】

本第 9 の実施形態によれば、3 項演算装置かつ／または 2 項演算装置を含む演算装置を複数有する第 1 の演算装置 3 1 A と、2 入力 2 出力演算装置を含む第 2 の演算装置 3 2 A - 0 (B T F L a 0) , … , 3 2 A - k (B T F L a k) 、 3 2 B - 0 (B T F L b 0) , … , 3 2 B - m (B T F L b m) 、 3 2 C - 0 (B T F L c 0) , … , 3 2 C - n (B T F L c n) とを備え、外部から再構成可能な演算装置 3 0 A において、第 2 の演算装置 3 2 A - 0 (B T F L a 0) , … , 3 2 A - k (B T F L a k) 、 3 2 B - 0 (B T F L b 0) , … , 3 2 B - m (B T F L b m) 、 3 2 C - 0 (B T F L c 0) , … , 3 2 C - n (B T F L c n) の演算結果を第 1 の演算装置 3 1 A の入力とし、また、第 1 の演算装置 3 1 A の演算結果を第 2 の演算装置の入力として、最終的な演算結果を得るようにしたので、上述した第 8 の実施形態の効果と同様の効果を得ることができる。

【 0 3 9 1 】

すなわち、従来の DSP などのプロセッサでは、

$$MEMW0 = x[k0] + x[k1],$$

$$MEMW1 = px * (x[k0] - x[k1]) - py * (y[k0] - y[k1]),$$

$$MEMW2 = y[k0] + y[k1],$$

$$MEMW3 = px * (x[k0] - x[k1]) + py * (y[k0] - y[k1])$$

の演算を実行しようとした場合、たとえば MEMW1 の計算で

$$reg1 = x[k0] - x[k1],$$

$$reg2 = px * reg1,$$

$$reg3 = y[k0] - y[k1],$$

$$\text{reg4} = \text{py} * \text{reg3},$$

$$\text{MeMW1} = \text{reg2} - \text{reg4},$$

などのように一時的にレジスタに値を格納する演算が必要となっていた。そのため演算動作に不要なレジスタへの書き込み、レジスタからの読み出しが多くなり、動作サイクル数、消費電力ともに増えていたが、MAC、ALUとバタフライ演算とを組み合わせることで、メモリ読み出しから、演算、メモリ書き込みを行う際に、演算ブロックでの演算自由度が増し、効率よい演算ができるようになる。そのため、実行サイクル数が少なくなり、また一時データの読み、書きが減るため電力が削減される。

【0392】

さらに、MEMW0の演算とMEMW1の演算のように $x[k0]$ 、 $x[k1]$ を共通に使用している場合には、従来のプロセッサでは $x[k0] + x[k1]$ 、 $x[k0] - x[k1]$ の演算を同時に行うことができずに演算に必要なサイクル数が増えていたが、本第9の実施形態では、この演算を同時に行うため必要サイクル数が少なくて済む。

【0393】

また、本第9の実施形態によれば、上述した第1の実施形態と同様に、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の低下を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0394】

第10実施形態

図12は、本発明の第10の実施形態に係る演算システムを示す構成図である。

【0395】

本演算システム40では、たとえば上述した第1の実施形態～第9の実施形態に係る演算器の配列や、演算実行時の係数パラメータ等を、構成情報に基づいて

再構成可能な演算装置が用いられる。

そして、本演算システム40は、演算装置、メモリ、アドレス生成装置と、経路情報を格納するメモリを含み、CPUを用いた経路情報選択の他に、アドレス生成装置が発生する制御信号に基づいて、演算途中であっても特定条件で経路情報を切り替えすることができる再構成可能なシステムとして構成される。

【0396】

具体的には、本演算システム40は、図12に示すように、制御回路としてのCPU41、複数、たとえば2つの第1の経路選択情報メモリ42、第2の経路選択情報メモリ43、選択装置44、アドレス生成装置45、データメモリ46、および再構成可能な演算装置47を有している。

【0397】

CPU41は、バスBUSを介して、第1の経路選択情報メモリ42、第2の経路選択情報メモリ43、データメモリ46にアクセスすることが可能になっている。

CPU41は、req_ack信号を用いてアドレス生成装置45の起動を行い、アドレス生成装置45からのreq_ack信号によりアドレス生成装置45の動作の終了を認識する。

また、CPU41は、第1の経路選択情報メモリ42に第1の経路選択情報config1を書き込み、第2の経路選択情報メモリ43に第2の経路選択情報config2を書き込む。

また、CPU41は、データメモリ46に複数のデータを書き込んでおく。さらにCPU41は、アドレス生成装置45に信号agctrlでアドレス生成パターンを指定し、アドレス生成装置45の起動を行う。

さらに、CPU41は、制御信号ctrlbを選択装置44に出力し、第1の経路選択情報メモリ42の第1の経路選択情報config1および第2の経路選択情報メモリ43の第2の経路選択情報config2のうちのいずれの経路選択情報を選択するのかを指示する。換言すれば、CPU41は、制御信号ctrlbをアドレス生成装置45がアドレス生成を行っている途中で、動的に変更し、経路選択情報を複数の経路選択情報メモリ42、43から選択するのかを制

御する。

【0398】

第1の経路選択情報メモリ42は、CPU41からバスBUSを介して第1の経路選択情報 `config1` が書き込まれ、書き込まれた第1の経路選択情報 `config1` を選択装置44に出力する。

【0399】

第2の経路選択情報メモリ43は、CPU41からバスBUSを介して第2の経路選択情報 `config2` が書き込まれ、書き込まれた第2の経路選択情報 `config2` を選択装置44に出力する。

【0400】

選択装置44は、アドレス生成装置45による制御信号 `ctrl a` およびCPU41による制御信号 `ctrl b` に応じて、第1の経路選択情報メモリ42による第1の経路選択情報 `config1`、および第2の経路選択情報メモリ43による第2の経路選択情報 `config2` のうちのいずれかを選択して、演算装置47に供給する。

【0401】

アドレス生成装置45は、CPU41による `req_ack` 信号を受けて起動し、あらかじめCPU41により制御信号 `agctrl` で指定されたアドレス生成パターンで、自動的にアドレス `adr` を生成し、データメモリ46からの読み出し、データメモリ46への書き込みを行う。

また、アドレス生成装置45は、生成したアドレスに応じた選択情報を含む制御信号 `ctrl a` を選択装置44に出力し、第1の経路選択情報メモリ42による第1の経路選択情報 `config1`、および第2の経路選択情報メモリ43による第2の経路選択情報 `config2` のうちのいずれかを選択させて、演算装置47に供給させる。

そして、アドレス生成装置45は、アドレスの生成が終了したときには、`req_ack` 信号を用いてCPU41に動作の完了を伝える。

【0402】

データメモリ46は、アドレス生成装置45で生成されたアドレス `adr` によ

りデータメモリ46の記憶データを読み出し、この読み出しデータ `read_dat` を演算装置47に供給し、演算装置47の演算結果である書き込みデータ `write_dat` を書き込み。

また、データメモリ46は、バスBUSを介してCPU41によりアクセスされる。

【0403】

演算装置47は、選択装置44で選択された第1の経路選択情報メモリ42による第1の経路選択情報 `config1`、または第2の経路選択情報メモリ43による第2の経路選択情報 `config2` に基づいて、演算器の配列や、演算実行時の係数パラメータ等を再構成して、データメモリ46の読み出しデータ `read_dat` に対し指定の演算を行い、この演算結果を書き込みデータ `write_dat` としてデータメモリ46に供給する。

【0404】

次に、上記構成による動作を、図13に関連付けて説明する。

【0405】

まず、CPU41により、バスBUSを介して、第1の経路選択情報メモリ42に第1の経路選択情報 `config1` が書き込まれ、第2の経路選択情報メモリ43に第2の経路選択情報 `config2` が書き込まれる。

【0406】

また、CPU41により、バスBUSを介してデータメモリ46に複数のデータがあらかじめ書き込まれる。

さらに、CPU41によりアドレス生成装置45に対して制御信号 `agctr` が出力されて、アドレス生成パターンが指定されて、アドレス生成装置45の起動が行われる。

【0407】

これにより、CPU41から制御がアドレス生成装置45に移行され、アドレス生成装置45において、アドレスの自動生成が開始され、データメモリ46に供給される。

なお、ここでは簡単のため、アドレス生成装置45において発生する読み出し

アドレスパターンが0, 1, 2, 3, 4, 5であるものとする。

そして、生成アドレス `adr` に基づいてデータメモリ46から読み出され、演算装置47に供給されるデータは、`read_dat [0]`、`read_dat [1]`、`read_dat [2]`、`read_dat [3]`、`read_dat [4]`、および `read_dat [5]` となる。

【0408】

また、アドレス生成装置45からは、生成アドレスに応じて制御信号 `ctrl a` が選択装置44に出力される。

選択装置44では、アドレス生成装置45による制御信号 `ctrl a` および CPU41による制御信号 `ctrl b` に応じて、第1の経路選択情報メモリ42による第1の経路選択情報 `config 1`、および第2の経路選択情報メモリ43による第2の経路選択情報 `config 2` のうちのいずれかが選択されて、演算装置47に供給される。

【0409】

演算装置47においては、選択装置44により供給される第1の経路選択情報メモリ42による第1の経路選択情報 `config 1`、または第2の経路選択情報メモリ43による第2の経路選択情報 `config 2` に基づいて、演算器の配列や、演算実行時の係数パラメータ等が再構成される。

そして、再構成された演算装置47において、データメモリ46の読み出しデータ `read_dat [0]`、`read_dat [1]`、`read_dat [2]`、`read_dat [3]`、`read_dat [4]`、および `read_dat [5]` に対し指定の演算が行われる。

【0410】

演算装置47における演算結果は、`write-dat [0]`、`write-dat [1]`、`write-dat [2]`、`write-dat [3]`、`write-dat [4]`、および `write-dat [5]` となる。

【0411】

ここで、第1の経路選択情報 `config 1` で実行される演算を `func 1 ()`、第2の経路選択情報 `config 2` で実行される演算を `func 2 ()` とす

る。

そして、図13に示すように、アドレス生成装置45からの制御情報ctrl aでアドレスが、0, 1, 3, 4のときには第1の経路選択情報config1を、アドレスが2, 5のときには第2の経路選択情報config2を選択することができるものとする。

この場合の演算結果は、次のように表すことができる。

【0412】

【数18】

```
write-dat [0] = func1 (read-dat [0])
write-dat [1] = func1 (read-dat [1])
write-dat [2] = func2 (read-dat [2])
write-dat [3] = func1 (read-dat [3])
write-dat [4] = func1 (read-dat [4])
write-dat [5] = func2 (read-dat [5])
```

【0413】

これらの演算結果がデータメモリ46に書き込まれ、アドレス生成装置45によるアドレスadrの自動生成が終了される。

そして、アドレス生成装置45からask_req信号がCPU41に送られ、演算の終了が伝えられる。

【0414】

以上説明したように、本第10の実施形態によれば、第1の経路選択情報config1を記憶する第1の経路選択情報メモリ42と、第2の経路選択情報config2を記憶する第2の経路選択情報メモリ43と、制御信号ctrl aおよび制御信号ctrl bに応じて、第1の経路選択情報メモリ42による第1の経路選択情報config1、および第2の経路選択情報メモリ43による第2の経路選択情報config2のうちのいずれかを選択する選択装置44と、指定されたアドレス生成パターンで、自動的にアドレスadrを生成し、データメモリ46からの読み出し、データメモリ46への書き込みを行い、かつ、生成したアドレスに応じて制御信号ctrl aを選択装置44に出力するアドレス生

成装置45と、選択装置44で選択された第1の経路選択情報c o n f i g 1、または第2の経路選択情報c o n f i g 2に基づいて、演算器の配列や、演算実行時の係数パラメータ等を再構成して、データメモリ46の読み出しデータr e a d _ d a t に対し指定の演算を行い、この演算結果を書き込みデータw r i t e _ d a t としてデータメモリ46に書き戻す演算装置47とを設けてたので、以下の利点がある。

【0415】

すなわち、従来、CPUとアドレス生成装置と複数の構成情報メモリと再構成可能な演算装置で構成される演算システムにおいては、CPUを用いて、複数の構成メモリの選択を制御し、アドレス生成装置がアドレスを生成している期間中にCPUを用いてメモリの選択を行わせるためには、CPUとアドレス生成装置間に同期機構を設ける必要があり、そのため、制御が複雑になり、余計なハードウェアが必要になる、あるいはハードウェアの構造によっては、同期自体が不可能であるという欠点を持っていた。

これに対して、本第10の実施形態に係る演算システムによれば、アドレス生成装置自身が出力する制御信号を用いて、複数の構成メモリの選択が可能になるため、同期機構を設ける必要がなくなるという利点がある。

また、CPUに制御が一度戻ることがないため、処理を行うためのオーバーヘッドが少なくなり、システム全体の処理能力を向上させることも可能になる。

【0416】

第11実施形態

図14は、本発明の第11の実施形態を説明するための図であって、本発明に係る演算システムに適用可能なアドレス生成装置の一例を示す構成図である。

【0417】

本アドレス生成装置50は、たとえば上述した第10の実施形態を示す図12の演算システムに適用可能で、4個（一般的にはn個）のカウンタを用いてアドレスを生成する装置であって、C言語のf o r ループ中での配列のアクセスパターンやそのネスティング、FFT、ビットリバース等のアドレスパターンを生成し、このアドレス生成とともに制御信号CTRL（図12のc t r l a）も出力

する。

以下、アドレス生成装置50の具体的な構成および機能について、順を追って説明する。

【0418】

本アドレス生成装置50は、図14に示すように、演算器(INCDEC0)51-0、演算器(INCDEC1)51-1、演算器(INCDEC2)51-2、演算器(INCDECx)51-x、セクタ付き演算器(SUM0)52-0、セクタ付き演算器(SUM1)52-1、セクタ付き演算器(SUM2)52-2、セクタ(SEL0)53-0、セクタ(SEL1)53-1、セクタ(SEL2)53-2、セクタ(SELx)53-x、カウンタ(Counter0)54-0、カウンタ(Counter1)54-1、カウンタ(Counter2)54-2、カウンタ(Counterx)54-x、比較器(END)55、比較器(END0)56-0、比較器(END1)56-1、比較器(END2)56-2、比較器(ENdx)56-x、比較器(INC0)57-0、比較器(INC1)57-1、比較器(INC2)57-2、セクタ付き演算器(ADRSUM)58、ビット反転器(BRV)59、マスク生成器(ADRMASK)60、および制御信号生成器(CTRLGEN)61を有している。

【0419】

そして、アドレス生成装置50は、入力信号COUNT0STP, COUNT1STP, COUNT2STP, COUNT0INI, COUNT1INI, COUNT2INI, COUNTxINI, COUNT0FIN, COUNT1FIN, COUNT2FIN, COUNTxFIN, OFFSET, MASKと、制御信号CNT0INIMD, CNT1INIMD, CNT2INIMD, CNT0RETMD, CNT1RETMD, CNT2RETMD, CNT0ENDMD, CNT1ENDMD, CNT2ENDMD, CNT0INCMD, CNT1INCMD, CNT2INCMD, CTRLMD, COUNTSUM, MSKMD, COUNTENが供給され、制御信号CTRL、および生成アドレスGENADRを出力する。

【0420】

演算器51-0は、制御信号CNT0INIMDの値に応じて入力信号COUNT0STPとカウンタ54-0のカウントデータcountdat__0を演算した結果を信号countcal__0としてセレクタ53-0、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-0は、制御信号CNT0INIMDの値に応じて、以下のいずれかの演算を行う。

【0421】

【数19】

$$\text{countcal_0} = \text{COUNT0STP} + \text{countdat_0},$$

$$\text{countcal_0} = \text{COUNT0STP} - \text{countdat_0}$$

【0422】

演算器51-1は、制御信号CNT1INIMDの値に応じて入力信号COUNT1STPとカウンタ54-1のカウントデータcountdat__1を演算した結果を信号countcal__1としてセレクタ53-1、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-1は、制御信号CNT1INIMDの値に応じて、以下のいずれかの演算を行う。

【0423】

【数20】

$$\text{countcal_1} = \text{COUNT1STP} + \text{countdat_1},$$

$$\text{countcal_1} = \text{COUNT1STP} - \text{countdat_1}$$

【0424】

演算器51-2は、制御信号CNT2INIMDの値に応じて入力信号COUNT2STPとカウンタ54-2のカウントデータcountdat__2を演算した結果を信号countcal__2としてセレクタ53-2、およびセレクタ演算器52-0～52-2に出力する。

具体的には、演算器51-2は、制御信号CNT2INIMDの値に応じて、以下のいずれかの演算を行う。

【0425】

【数21】

$$\text{countcal_2} = \text{COUNT2STP} + \text{countdat_2},$$

$$\text{countcal_2} = \text{COUNT2STP} - \text{countdat_2}$$

【0426】

演算器51-xは、入力信号COUNTxFINとカウンタ54-xのカウントデータcountdat_xを演算した結果を信号countcal_xとしてセクタ53-xに出力する。

【0427】

セクタ付き演算器52-0は、制御信号CNT0RETMDの値に応じて入力信号COUNT0INI、演算器51-0の出力信号countcal_0、演算器51-1の出力信号countcal_1、および演算器51-2の出力信号countcal_2を演算した結果を信号countret_0としてセクタ53-0に出力する。

具体的には、演算器52-0は、制御信号CNT0RETMDの値に応じて、以下のいずれかの演算を行う。

【0428】

【数22】

$$\text{countret_0} = \text{COUNT0INI},$$

$$\text{countret_0} = \text{countcal_0},$$

$$\text{countret_0} = \text{countcal_1},$$

$$\text{countret_0} = \text{countcal_2},$$

$$\text{countret_0} = \text{COUNT0INI} + \text{countcal_0},$$

$$\text{countret_0} = \text{COUNT0INI} + \text{countcal_1},$$

$$\text{countret_0} = \text{COUNT0INI} + \text{countcal_2}$$

【0429】

セクタ付き演算器52-1は、制御信号CNT1RETMDの値に応じて入力信号COUNT1INI、演算器51-0の出力信号countcal_0、演算器51-1の出力信号countcal_1、および演算器51-2の出力

信号 `countcal__2` を演算した結果を信号 `countret__1` としてセレクタ53-1に出力する。

具体的には、演算器52-1は、制御信号 `CNT1RETMD` の値に応じて、以下のいずれかの演算を行う。

【0430】

【数23】

```
countret__1=COUNT1INI、
countret__1=countcal__0、
countret__1=countcal__1、
countret__1=countcal__2、
countret__1=COUNT1INI+countcal__0、
countret__1=COUNT1INI+countcal__1、
countret__1=COUNT1INI+countcal__2
```

【0431】

セレクタ付き演算器52-2は、制御信号 `CNT2RETMD` の値に応じて入力信号 `COUNT2INI`、演算器51-0の出力信号 `countcal__0`、演算器51-1の出力信号 `countcal__1`、および演算器51-2の出力信号 `countcal__2` を演算した結果を信号 `countret__2` としてセレクタ53-2に出力する。

具体的には、演算器52-2は、制御信号 `CNT2RETMD` の値に応じて、以下のいずれかの演算を行う。

【0432】

【数24】

```
countret__2=COUNT2INI、
countret__2=countcal__0、
countret__2=countcal__1、
countret__2=countcal__2、
countret__2=COUNT2INI+countcal__0、
countret__2=COUNT2INI+countcal__1、
```


$\text{countret_2} = \text{COUNT2INI} + \text{countcal_2}$

【0433】

セクタ53-0は、比較器56-0の出力信号 countend_0 、および比較器57-0の出力信号 countinc_0 の値に応じて、演算器51-0の出力信号 countcal_0 、入力信号 COUNT0INI 、演算器52-0の出力信号 countret_0 の値を選択して、カウンタ54-0に出力する。

【0434】

セクタ53-1は、比較器56-1の出力信号 countend_1 、および比較器57-1の出力信号 countinc_1 の値に応じて、演算器51-1の出力信号 countcal_1 、入力信号 COUNT1INI 、演算器52-1の出力信号 countret_1 の値を選択して、カウンタ54-1に出力する。

【0435】

セクタ53-2は、比較器56-2の出力信号 countend_2 、および比較器57-2の出力信号 countinc_2 の値に応じて、演算器51-2の出力信号 countcal_2 、入力信号 COUNT2INI 、演算器52-2の出力信号 countret_2 の値を選択して、カウンタ54-2に出力する。

【0436】

セクタ53-xは、比較器56-xの出力信号 countend_x の値に応じて、演算器51-xの出力信号 countcal_x 、入力信号 COUNTxINI の値を選択して、カウンタ54-xに出力する。

【0437】

カウンタ54-0は、セクタ53-0の出力信号をカウントデータ countdat_0 として格納し、格納データを演算器51-0、比較器55、およびセクタ付き演算器58に出力する。

【0438】

カウンタ54-1は、セクタ53-1の出力信号をカウントデータ count

t d a t _ 1として格納し、格納データを演算器51-1、比較器55、およびセクタ付き演算器58に出力する。

【0439】

カウンタ54-2は、セクタ53-2の出力信号をカウントデータc o u n t d a t _ 2として格納し、格納データを演算器51-2、比較器55、およびセクタ付き演算器58に出力する。

【0440】

カウンタ54-xは、セクタ53-xの出力信号をカウントデータc o u n t d a t _ xとして格納し、格納データを演算器51-x、比較器55、およびセクタ付き演算器58に出力する。

【0441】

比較器55は、カウンタ54-0によるカウンタデータc o u n t d a t _ 0、カウンタ54-1によるカウンタデータc o u n t d a t _ 1、カウンタ54-2によるカウンタデータc o u n t d a t _ 2、カウンタ54-xによるカウンタデータc o u n t d a t _ x、および入力信号COUNT0INI、COUNT1INI、COUNT2INI、COUNT0FIN、COUNT1FIN、COUNT2FINの値を演算し、結果e n d s i g 0を比較器56-0に出力し、結果e n d s i g 1を比較器56-1に出力し、結果e n d s i g 2を比較器56-2に出力し、結果e n d s i g xを比較器56-xに出力する。

【0442】

具体的には、比較器55は、j=0, 1, 2, xについて、カウンタ54-0によるカウントデータc o u n t d a t _ 0と入力信号COUNT0INIが等しいときにe n d s i g j = e q 0、カウンタ54-1によるカウントデータc o u n t d a t _ 1と入力信号COUNT1INIが等しいときにe n d s i g j = e q 1、カウンタ54-2によるカウントデータc o u n t d a t _ 2と入力信号COUNT2INIが等しいときにe n d s i g j = e q 2を設定する。

同様に、比較器55は、カウンタ54-0によるカウントデータc o u n t d a t _ 0と入力信号COUNT0FINが等しいときにe n d s i g j = e q 3、カウンタ54-1によるカウントデータc o u n t d a t _ 1と入力信号CO

UNT1FINが等しいときに $endsigj = eq4$ 、カウンタ54-2によるカウントデータ $countdat_2$ と入力信号COUNT2FINが等しいときに $endsigj = eq5$ を設定する。

また、比較器55は、カウンタ54-0によるカウントデータ $countdat_0$ とカウンタ54-1によるカウントデータ $countdat_1$ が等しいとき $endsigj = eq6$ 、カウンタ54-1によるカウントデータ $countdat_1$ とカウンタ54-2によるカウントデータ $countdat_2$ が等しいとき $endsigj = eq7$ 、カウンタ54-2によるカウントデータ $countdat_2$ とカウンタ54-0によるカウントデータ $countdat_0$ が等しいとき $endsigj = eq8$ を設定する。

【0443】

比較器56-0は、制御信号CNT0ENDMDの値に応じて、比較器55の出力信号 $endsig0$ の値から、信号 $countend_0$ を生成し、セレクタ53-0、比較器57-1、57-2、および制御信号生成器61に出力する。

具体的には、比較器56-0は、制御信号CNT0ENDMDの値と比較器55の出力信号 $endsig0$ の値が、一致していれば信号 $countend_0$ に真を設定し、一致していなければ信号 $countend_0$ に偽を設定する。

【0444】

比較器56-1は、制御信号CNT1ENDMDの値に応じて、比較器55の出力信号 $endsig1$ の値から、信号 $countend_1$ を生成し、セレクタ53-1、比較器57-0、57-2、および制御信号生成器61に出力する。

具体的には、比較器56-1は、制御信号CNT1ENDMDの値と比較器55の出力信号 $endsig1$ の値が、一致していれば信号 $countend_1$ に真を設定し、一致していなければ信号 $countend_1$ に偽を設定する。

【0445】

比較器56-2は、制御信号CNT2ENDMDの値に応じて、比較器55の出力信号 $endsig2$ の値から、信号 $countend_2$ を生成し、セレク

タ 5 3 - 2、比較器 5 7 - 0、5 7 - 1、および制御信号生成器 6 1 に出力する。

具体的には、比較器 5 6 - 2 は、制御信号 CNT 2 ENDMD の値と比較器 5 5 の出力信号 endsig 2 の値が、一致していれば信号 countend__2 に真を設定し、一致していなければ信号 countend__2 に偽を設定する。

【0 4 4 6】

比較器 5 6 - x は、比較器 5 5 の出力信号 endsig x の値から、信号 countend__x を生成し、セクタ 5 3 - x に出力する。

【0 4 4 7】

比較器 5 7 - 0 は、制御信号 CNT 0 INCMD の値に応じて、比較器 5 6 - 1 の出力信号 countend__1、および比較器 5 6 - 2 の出力信号 countend__2 の値から信号 countinc__0 を生成し、セクタ 5 3 - 0 に出力する。

具体的には、比較器 5 7 - 0 は、制御信号 CNT 0 INCMD の値に応じて、比較器 5 6 - 1 の出力信号 countend__1 が真のときに信号 countinc__0 に真を設定し、偽のときに信号 countinc__0 に偽を設定する。

または、比較器 5 7 - 0 は、制御信号 CNT 0 INCMD の値に応じて、比較器 5 6 - 2 の出力信号 countend__2 が真のときに信号 countinc__0 に真を設定し、偽のときに信号 countinc__0 に偽を設定する。

または、比較器 5 7 - 0 は、制御信号 CNT 0 INCMD の値に応じて、比較器 5 6 - 1 の出力信号 countend__1、かつ比較器 5 6 - 2 の出力信号 countend__2 が真のときに信号 countinc__0 に真を設定し、偽のときに信号 countinc__0 に偽を設定する。

【0 4 4 8】

比較器 5 7 - 1 は、制御信号 CNT 1 INCMD の値に応じて、比較器 5 6 - 2 の出力信号 countend__2、および比較器 5 6 - 0 の出力信号 countend__0 の値から信号 countinc__1 を生成し、セクタ 5 3 - 1 に出力する。

具体的には、比較器 5 7 - 1 は、制御信号 CNT 1 INCMD の値に応じて、

比較器56-2の出力信号countend__2が真のときに信号countinc__1に真を設定し、偽のときに信号countinc__1に偽を設定する。

または、比較器57-1は、制御信号CNT0INCMDの値に応じて、比較器56-0の出力信号countend__0が真のときに信号countinc__1に真を設定し、偽のときに信号countinc__1に偽を設定する。

または、比較器57-1は、制御信号CNT1INCMDの値に応じて、比較器56-2の出力信号countend__2、かつ比較器56-0の出力信号countend__0が真のときに信号countinc__1に真を設定し、偽のときに信号countinc__1に偽を設定する。

【0449】

比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号countend__0、および比較器56-1の出力信号countend__1の値から信号countinc__2を生成し、セレクタ53-2に出力する。

具体的には、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号countend__0が真のときに信号countinc__2に真を設定し、偽のときに信号countinc__2に偽を設定する。

または、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-1の出力信号countend__1が真のときに信号countinc__2に真を設定し、偽のときに信号countinc__2に偽を設定する。

または、比較器57-2は、制御信号CNT2INCMDの値に応じて、比較器56-0の出力信号countend__0、かつ比較器56-1の出力信号countend__1が真のときに信号countinc__2に真を設定し、偽のときに信号countinc__2に偽を設定する。

【0450】

セレクタ付き演算器58は、制御信号COUNTSUMの値に応じて、カウンタ54-0によるカウントデータcountdat__0、カウンタ54-1によるカウントデータcountdat__1、カウンタ54-2によるカウントデータcountdat__2、カウンタ54-3によるカウントデータcountd

at__x、および入力信号OFFSETに基づいて信号sumadrを生成し、ビット反転器59、およびマスク生成器60に出力する。

具体的には、演算器58は、制御信号COUNTSUMの値に応じて、以下のいずれかの演算を行う。

【0451】

【数25】

```

sumadr=OFFSET+countdat__0、
sumadr=OFFSET+countdat__1、
sumadr=OFFSET+countdat__2、
sumadr=OFFSET+countdat__0+countdat__1、
sumadr=OFFSET+countdat__0+countdat__2、
sumadr=OFFSET+countdat__1+countdat__2、
sumadr=OFFSET+countdat__0+countdat__1
    +countdat__2、
sumadr=OFFSET+countdat__0+countdat__1
    +countdat__2、
sumadr=OFFSET+countdat__0+countdat__1
    *2^(countdat__x+1)、
sumadr=OFFSET+countdat__0+countdat__1
    *2^(countdat__x+1)-1、
sumadr=OFFSET+countdat__0+countdat__1
    *2^(countdat__x+1)+1、
sumadr=OFFSET+countdat__0+countdat__1
    *2^(countdat__x+1)
    +2^(countdat__x)、
sumadr=OFFSET+countdat__0
    *2^(COUNTxFIN-countdat__x)

```

【0452】

ビット反転器59は、制御信号MSKMDの値に応じて、セクタ付セクタ

付演算器 58 の生成信号 `sumadr` から信号 `brvadr` を生成し、マスク生成器 60 に出力する。

具体的には、ビット反転器 59 は、制御信号 `MSKMD` の値に応じて、`m` を決定し、信号 `brvadr` にセクタ付演算器 58 の生成信号 `sumadr` の `LSB` から `m-1` ビットまでのビット反転を設定する。

【0453】

マスク生成器 60 は、制御信号 `MSDMD` の値に応じて、ビット反転器 59 の生成信号 `brvadr`、セクタ付演算器 58 の生成信号 `sumadr`、および入力信号 `MASK` に基づいてアドレス信号 `GENADR` を生成する。

具体的には、マスク生成器 60 は、制御信号 `MSKMD` の値に応じて、ビット反転器 59 の生成信号 `brvadr` とセクタ付演算器 58 の生成信号 `sumadr` の値を選択し、その結果と入力信号 `MASK` の値を各ビット単位で `AND`（論理積）、`OR`（論理和）、`XOR`（排他的論理和）のいずれかの操作を行い、信号 `GENADR` を生成する。

この生成されたアドレス信号 `GENADR` が、たとえば図 12 の演算システムのデータメモリ 46 に供給される。

【0454】

制御信号生成器 61 は、制御信号 `CTRLMD` の値に応じて、比較器 56-0 の出力信号 `countend__0`、比較器 56-1 の出力信号 `countend__1`、および比較器 56-2 の出力信号 `countend__2` に基づいて制御信号 `CTRL` を生成し、アドレスが生成されている期間はアドレス有効信号 `VALID` を有効にする。

また、制御信号 `COUNTEN` の値に応じて、内部に持つカウンタ 54-0、54-1、54-2、および 54-x ののカウントアップの許可／不許可の制御を行う。

【0455】

具体的には、制御信号生成器 61 は、制御信号 `CTRLMD` の値に応じて、

- ・ 信号 `countend__0` が真のとき、
- ・ 信号 `countend__1` が真のとき、

- ・ 信号 `countend__2` が真のとき、
 - ・ 信号 `countend__0` が真かつ信号 `countend__1` が真のとき、
 - ・ 信号 `countend__0` が真かつ信号 `countend__2` が真のとき、
 - ・ 信号 `countend__1` が真かつ信号 `countend__2` が真のとき
- のいずれかの場合に制御信号 `CTRL` を有効にし、それ以外のときは `CTRL` を無効にする。

【0456】

次に、上記構成によるアドレス生成の具体的な動作を、図14の3重ループの場合を例に、図15に関連付けて説明する。

【0457】

まず、入力信号として与えられる各カウンタのステップ値、初期値、終了値がそれぞれ以下のように設定される。

【0458】

ステップ値信号 `COUNT0STP` が「3」に設定されて演算器 51-0 に供給され、初期値信号 `COUNT0INI` が「0」に設定されて演算器 52-0、およびセレクタ 53-0 に供給され、終了値信号 `COUNT0FIN` が「3」に設定されて比較器 55 に供給される。

同様に、ステップ値信号 `COUNT1STP` が「5」に設定されて演算器 51-1 に供給され、初期値信号 `COUNT1INI` が「0」に設定されて演算器 52-1、およびセレクタ 53-1 に供給され、終了値信号 `COUNT1FIN` が「10」に設定されて比較器 55 に供給される。

ステップ値信号 `COUNT2STP` が「1」に設定されて演算器 51-2 に供給され、初期値信号 `COUNT2INI` が「0」に設定されて演算器 52-2、およびセレクタ 53-2 に供給され、終了値信号 `COUNT2FIN` が「1」に設定されて比較器 55 に供給される。

また、初期値信号 `COUNTxINI` が「0」に設定されてセレクタ 53-x に供給され、終了値信号 `COUNTxFIN` が「0」に設定されて演算器 51-x に供給される。

【0459】

また、制御信号CNT0INIMDは加算の実行を選択するように、演算器51-0に供給される。

同様に、制御信号CNT1INIMDは加算の実行を選択するように、演算器51-1に供給され、制御信号CNT2INIMDは加算の実行を選択するように、演算器51-2に供給される。

【0460】

さらに、制御信号CNT0RETMDがCOUNT0INIを選択するように設定されて、演算器52-0に供給される。

同様に、制御信号CNT1RETMDがCOUNT1INIを選択するように設定されて演算器52-1に供給され、制御信号CNT2RETMDがCOUNT2INIを選択するように設定されて演算器52-2に供給される。

【0461】

また、制御信号CNT0ENDMDが、カウンタ54-0のカウントデータcountdat__0と終了値信号COUNT0FINが一致したときの比較器55の出力信号ednsig0を入力したときに、信号countend__0に真を設定するように、比較器56-0に供給される。

同様に、制御信号CNT1ENDMDが、カウンタ54-1のカウントデータcountdat__1と終了値信号COUNT1FINが一致したときの比較器55の出力信号ednsig1を入力したときに、信号countend__1に真を設定するように、比較器56-1に供給される。

そして、制御信号CNT2ENDMDが、カウンタ54-2のカウントデータcountdat__2と終了値信号COUNT2FINが一致したときの比較器55の出力信号ednsig2を入力したときに、信号countend__2に真を設定するように、比較器56-2に供給される。

【0462】

また、制御信号CNT0INCMDが、比較器57-2の出力信号countend__2が真で、かつ比較器57-1の出力信号countend__1が真であるときに、信号countinc__0に真を設定するように、比較器57-0に供給される。

また、制御信号CNT1INCMDが、比較器57-2の出力信号count_end__2が真であるときに、信号countinc__1に真を設定するように、比較器57-1に供給される。

また、制御信号CNT2INCMDが、常に信号countinc__2に真を設定するように、比較器57-2に供給される。

【0463】

さらに、制御信号COUNTSUMが、カウンタ54-0によるカウントデータcountdat__0の値、カウンタ54-1によるカウントデータcountdat__1の値、およびカウンタ54-2によるカウントデータcountdat__2の値の合計を出力するモードに設定されるように、セクタ付演算器58に供給される。

【0464】

また、セクタ付演算器58に供給される入力信号OFFSET、およびマスク生成器60に供給される入力信号MASKが「0」に設定される。

さらに、制御信号MSKMDが、ビットリバースなし、マスクをしないモードに設定するように、ビット反転器59、およびマスク生成器60に供給される。

【0465】

このような状態において、アドレス生成装置50が、図示しない制御回路からアドレス生成起動信号を受けて、カウンタ54-0～54-xが所定のタイミングでカウント動作を開始される。

この場合、カウンタ54-2では、図15(j)に示すように、比較器57-2の出力信号countinc__2が常に真(図15ではハイレベル)、すなわち、常にカウントアップを示しているのでカウントアップはじめ、初期値0にステップ値信号COUNT2STPの値「1」が加えられ、カウントデータcountdat__2は、図15(c)に示すように、0から1となる。

【0466】

カウンタ54-2のカウントデータcountdat__2が「1」になり、比較器55に供給される。このカウントデータcountdat__2の値「1」は、終了値信号COUNT2FINと等しくなるので、その旨を示す信号ends

ig 2 が比較器 56-2 に供給され、図 15 (g) に示すように、比較器 56-2 の出力信号 count end __2 が真に設定されて比較器 57-1, 57-0、および制御信号生成器 61 に供給される。

【0467】

比較器 56-2 の出力信号 count end __2 が真で供給された比較器 57-1 では、図 15 (i) に示すように、その出力信号 count inc __1 が真に設定される。

これにより、カウンタ 54-1 においてカウントアップが行われ、カウントデータ count dat __1 は、図 15 (b) に示すように「5」になる。

このとき、カウンタ 54-2 は、制御信号 CNT1 RETMD に従って、セクタ 53-2 を介して初期値 0 に戻される。

このとき、カウンタ 54-0 では、図 15 (h) に示すように、比較器 57-0 の出力信号 count inc __0 が偽 (図 15 ではローレベル) であることから、カウントアップ動作が開始されない。

【0468】

カウンタ 54-2 のカウントデータ count dat __2 が、図 15 (c) に示すように、再び「1」になると、カウンタ 54-1 がカウントアップされることを繰り返される。

図 15 (b) に示すように、カウンタ 54-1 のカウントデータ count dat __1 が「10」になった時点で、終了値信号 COUNT1 FIN と等しくなるので、その旨を示す信号 end sig 1 が比較器 56-1 に供給され、図 15 (f) に示すように、比較器 56-1 の出力信号 count end __1 が真に設定されて比較器 57-0, 57-2、および制御信号生成器 61 に供給される。

【0469】

比較器 56-1 の出力信号 count end __1 が真で供給された比較器 57-0 では、図 15 (h) に示すように、その出力信号 count inc __0 が真に設定される。

これにより、カウンタ 54-0 においてカウントアップが行われ、カウントデータ count dat __0 は、図 15 (a) にしめすように「0」から「3」に

更新される。

【0470】

生成されるアドレスは、制御信号COUNTSUMを受けたセクタ付演算器58では、カウンタ54-0のカウントデータcountdat__0、カウンタ54-1のカウントデータcountdat__1、およびカウンタ54-2のカウントデータcountdat__2の合計値を出力するモードになっているので、マスク生成器60から、図15(d)に示すように、アドレス信号GENADDRとしてカウンタの合計値が出力される。

【0471】

さらに、制御信号CTRLMDが、比較器56-1の出力信号countend__1、かつ比較器56-2の出力信号countend__2が真のときに制御信号CTRLを出力するように、制御信号生成器61に供給されると、図15(1)に示すように、両信号が真となるそのタイミングでCTRLが真になる。

【0472】

以上説明したように、本第11の実施形態によれば、従来のDSPなどではアドレス生成不可能だった複雑なループのネスト、FFTアクセスパターン、ビットリバース等を行おうとする場合に、アドレスを自動生成することができる。このためALUを用いてアドレス計算を行う必要がなくなり、処理に必要なサイクル数が減り効率が良くなる利点がある。

【0473】

なお、以上の説明では、図14に関連付けて、3重ループの場合を例を説明したが、本発明は、これに限定されるものではなく、カウンタ数の異なる種々の態様が可能であることはいうまでもない。

【0474】

以下に、カウンタ数が上述した例の拡張である一般的な実現例について説明する。

【0475】

このアドレス生成装置は、カウンタCounter i, Counter x、演算器INCD E C i, INCDEC x、セクタ付き演算器SUM i, ADRSUM、セレク

タSEL i , SEL x 、比較器END, END i , END x , INC i 、ビット反転器BRV、およびマスク生成器ADRMSKにより構成される（ただし $0 \leq i \leq n-1$ ）。

【0476】

また、このアドレス生成装置は、入力信号COUNT i STP, COUNT i INI, COUNT i FIN, COUNT x FIN, OFFSET, MASKと、制御信号CNT i INIMD, CNT i RETMD, CNT i ENDMD, CNT i INCMD, CTRLMD, COUNTSUM, MSKMD, COUNTENが供給され、制御信号CTRL、および生成アドレスGENADRを出力する。

【0477】

ここで、 $i = 0 \sim n-1$ のすべての i について、カウンタCounter i はカウントデータcountdat__ i を格納し、カウンタCounter x はカウントデータcountdat__ x を格納する。

【0478】

$i = 0 \sim n-1$ のすべての i について、演算器INCDEC i は制御信号CNT i INIMDの値に応じてステップ値信号COUNT i STPとカウンタCounter i のカウントデータcountdat__ i を演算した結果を信号countcal__ i として出力、演算器INCDEC x は終了値信号COUNT x FINとカウンタCounter x のカウントデータcountdat__ x を演算した結果を信号countcal__ x を出力する。

【0479】

$i = 0 \sim n-1$ のすべての i について、セレクタ付き演算器SUM i は制御信号CNT i RETMDの値に応じて初期値信号COUNT i INI、演算器INCDEC i の出力信号countcal__0, countcal__1, ..., countcal__ $n-1$ を演算した結果を、セレクタSEL i を介してカウンタCounter i に出力する。

【0480】

$i = 0 \sim n-1$ のすべての i について、比較器ENDはカウンタCounter i の

カウンタデータ countdat_0 , countdat_1 , ..., countcal_n-1 、カウンタCounter x のカウンタデータ countdat_x 、初期値信号 COUNT0INI , COUNT1INI , ..., COUNTn-1INI 、終了値信号 COUNT0FIN , COUNT1FIN , ..., COUNTn-1FIN の値を演算した結果を信号 endsigi として出力し、また、カウンタCounter i のカウンタデータ countdat_0 , countdat_1 , ..., countcal_n-1 、カウンタCounter x のカウンタデータ countdat_x 、初期値信号 COUNT0INI , COUNT1INI , ..., COUNTn-1INI 、終了値信号 COUNT0FIN , COUNT1FIN , ..., COUNTn-1FIN の値を演算した結果を信号 endsigx として出力する。

【0481】

$i = 0 \sim n-1$ のすべての i について、比較器 $\text{END}i$ は制御信号 $\text{CNT}i\text{ENDMD}$ の値に応じて、比較器 END の出力信号 endsigi の値から信号 countend_i を生成し、比較器 $\text{END}x$ は比較器 END の出力信号 endsigx の値から信号 countend_x を生成する。

【0482】

$i = 0 \sim n-1$ のすべての i について、比較器 $\text{INC}i$ は制御信号 $\text{CNT}i\text{INCMD}$ の値に応じて、 $j = 0 \sim n-1$ のすべての j (ただし $j \neq i$) について比較器 $\text{END}i$ の出力信号 countend_j 値から信号 countinc_0 を生成する。

【0483】

$i = 0 \sim n-1$ のすべての i について、セクタ $\text{SEL}i$ は比較器 $\text{INC}i$ の出力信号 countinc_i 、比較器 $\text{END}i$ の出力信号 countend_i の値に応じて、演算器 $\text{INCDEC}i$ の出力信号 countcla_i 、初期値信号 $\text{COUNT}i\text{INI}$ 、演算器 $\text{SUM}i$ の出力信号 countret_i の値を選択して、カウンタCounter i のカウンタデータ countdat_i を設定し、セクタ $\text{SEL}x$ は比較器 $\text{END}x$ の出力信号 countend_x の値に応じて、演算器 $\text{INCDEC}x$ の出力信号 countcal_x 、初期値信号

COUNT x INIの値を選択して、カウンタCounter x のカウントデータ $count_dat_x$ を設定する。

【0484】

セクタ付演算器ADRSUMは、制御信号COUNTSUMの値に応じて、カウンタCounter i のカウントデータ $count_dat_0$, $count_dat_1$, ..., $count_cal_n-1$ 、カウンタCounter x のカウントデータ $count_dat_x$ 、入力信号OFFSETから信号 sum_adr を生成する。

【0485】

ビット反転器BRVは、制御信号MSKMDの値に応じてセクタ付演算器ADRSUMの出力信号 sum_adr から信号 brv_adr を生成する。

【0486】

マスク生成器ADRMSKは、制御信号MSDMDの値に応じビット反転器 brv_adr とセクタ付演算器ADRSUMの出力信号 sum_adr と入力信号MASKからアドレス信号GENADRを生成する。

【0487】

制御信号生成器CTRLGENは、制御信号CTRLMDの値に応じてカウンタCounter i のカウントデータ $count_dat_0$, $count_dat_1$, ..., $count_cal_n-1$ から制御信号CTRLを生成する。

制御信号生成器CTRLGENは、アドレスが生成されている期間はアドレス有効信号VALIDを有効にする。

【0488】

そして、上述した構成を有するアドレス生成装置において、 $i = 0 \sim n-1$ のすべての i について、以下の処理が行われる。

【0489】

$i = 0 \sim n-1$ のすべての i について、演算器INCDEC i は、制御信号CNT i INIMDの値に応じて、次のいずれかの演算を行う。

【0490】

【数26】

$$count_cal_i = COUNTiSTP + count_dat_i,$$

$\text{countcal_i} = \text{COUNTiSTP} + \text{countdat_i}$

【0491】

$i = 0 \sim n-1$ のすべての i について、セクタ付演算器SUM i は、制御信号CNTiRETMDの値に応じて、次のいずれかの演算を行う。

【0492】

【数27】

$\text{countret_i} = \text{COUNTiINI}$ 、

$\text{countret_i} = \text{countcal_0}$ 、

$\text{countret_i} = \text{countcal_1}$ 、

...

$\text{countret_i} = \text{countcal_n-1}$ 、

$\text{countret_i} = \text{COUNTiINI} + \text{countcal_0}$ 、

$\text{countret_i} = \text{COUNTiINI} + \text{countcal_1}$ 、

...

$\text{countret_i} = \text{COUNTiINI} + \text{countcal_n-1}$

【0493】

$i = 0 \sim n-1$ のすべての i について、比較器ENDは、カウントデータ countdat_0 と初期値信号COUNT0INIが等しいときに $\text{endsigi} = \text{INI0}$ 、カウントデータ countdat_1 と初期値信号COUNT1INIが等しいときに $\text{endsigi} = \text{INI1}$ 、…、カウントデータ countdat_n-1 と初期値信号COUNTn-1INIが等しいときに $\text{endsigi} = \text{INI n-1}$ を設定する。

同様に、比較器ENDは、カウントデータ countdat_0 と終了値信号COUNT0FINが等しいときに $\text{endsigi} = \text{FIN0}$ 、カウントデータ countdat_1 と終了値信号COUNT1FINが等しいときに $\text{endsigi} = \text{FIN1}$ 、…、カウントデータ countdat_n-1 と終了値信号COUNTn-1FINが等しいときに $\text{endsigi} = \text{FIN n-1}$ を設定する。

また、比較器ENDは、カウントデータ countdat_0 と countdat_1 が等しいときに $\text{endsigi} = \text{eq01}$ 、カウントデータ countdat

__0とcountdat__2が等しいときにendsigi = eq 0 2、…カウントデータcountdat__0とcountdat__n-1が等しいときにendsigi = eq n-1、……、countdat__n-1とcountdat__n-2が等しいときにendsigi = eq n-1 n-2を設定する。

【0494】

i = 0 ~ n-1のすべてのiについて、比較器ENDiは、制御信号CNTi ENDMDの値と信号endsigiの値が一致していれば信号countend__iに真を設定し、一致していなければ信号countend__iに偽を設定する。

【0495】

i = 0 ~ n-1のすべてのiについて、比較器INCiは、制御信号CNTi INCMDの値に応じて、j = 0 ~ n-1のすべてのj (ただしj != i) について、信号countend__jが真のときに信号countinc__iに真を設定し、信号countend__jが偽のときには信号countinc__iに偽を設定する。

または、比較器iは、j = 0 ~ n-1のすべてのj (ただしi != j) とk = 0 ~ n-1のすべてのk (ただしk != i) について、信号countend__jが真で、かつ、信号countend__kが真のときに、信号countinc__iに真を設定し、そうでないときに信号countinc__iに偽を設定する。

【0496】

セクタ付演算器ADRSUMは、制御信号COUNTSUMの値に応じてのいずれかの演算を行う。

【0497】

【数28】

sumadr = OFFSET + countdat__0、

sumadr = OFFSET + countdat__1、

...

sumadr = OFFSET + countdat__n-1、

```

sumadr=OFFSET+countdat__0+countdat__1、
sumadr=OFFSET+countdat__0+countdat__2、
...
sumadr=OFFSET+countdat__0+countdat__n-
1、
sumadr=OFFSET+countdat__1+countdat__2、
...
sumadr=OFFSET+countdat__1
+countdat__n-1、
...
sumadr=OFFSET+countdat__n-2
+countdat__n-1、
sumadr=OFFSET+countdat__0+countdat__1
+countdat__2、
sumadr=OFFSET+countdat__0+countdat__1
*2^(countdat__x+1)、
sumadr=OFFSET+countdat__0+countdat__1
*2^(countdat__x+1)-1、
sumadr=OFFSET+countdat__0+countdat__1
*2^(countdat__x+1)+1、
sumadr=OFFSET+countdat__0+countdat__1
*2^(countdat__x+1)
+2^(countdat__x)、
sumadr=OFFSET+countdat__0
*2^(COUNTxFIN-countdat__x)

```

【0498】

ビット反転器BRVは、制御信号MSKMDの値に応じてmを決定し、信号brvadrにセクタ付演算器ADRSUMの生成信号sumadrのLSBからm-1ビットまでのビット反転を設定する。

【0499】

マスク生成器ADRMASKは、制御信号MSKMDの値に応じて、ビット反転器BRVの生成信号brvadr、セクタ付演算器ADRSUMの生成信号sumadrを選択し、その結果と入力信号MASKの値を各ビット単位でAND（論理積）、OR（論理和）、XOR（排他的論理和）のいずれかの操作を行い、信号GENADRを生成する。

【0500】

制御信号生成器CTRLGENは、制御信号CTRLMDの値に応じて、カウントデータcountdat__0が真のとき、カウントデータcountdat__1が真のとき、…、カウントデータcountdat__n-1が真のとき、カウントデータcountdat__0が真かつカウントデータcountdat__1が真のとき、カウントデータcountdat__0が真かつカウントデータcountdat__2が真のとき、…、カウントデータcountdat__0が真かつカウントデータcountdat__n-1が真のとき、…、カウントデータcountdat__n-2が真かつカウントデータcountdat__n-1が真のときのいずれかの場合に制御信号CTRLを有効にし、それ以外のときは制御信号CTRLを無効にし、アドレスが生成されている期間はアドレス有効信号VALIDを有効にする。

また、制御信号COUNTENの値に応じて、内部に持つカウンタCounteri（ただし $0 \leq i \leq n-1$ ）、Countex のカウントアップを許可／不許可にする。

【0501】

以上説明した一般的な例においても、上述した図14の装置の作用効果と同様の作用効果を得ることができる。

【0502】

第12実施形態

図16は、本発明の第12の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ読み出し系の一例を示す構成図である。

【0503】

本インタリーブ装置70は、特定のアクセスパターンに対して、デュアルポー

トメモリが必要なアクセスを、シングルポートメモリを用いて実現することが可能な装置であって、FFT演算のデータアクセス等に利用できる。

したがって、本インタリーブ装置70は、たとえば上述した第10の実施形態を示す図12の演算システムのデータメモリから演算装置へのデータ伝送系に適用可能である。

なお、以下の説明では、図示しないシングルポートメモリは、メモリバンクMBNK0とメモリバンクMBNK1を有し、インタリーブ装置70は、メモリバンクMBNK0とメモリバンクMBNK1に対するアクセスを行うものとする。

【0504】

本インタリーブ装置70は、図16に示すように、第1の遅延装置(DFF0)71-0、第2の遅延装置(DFF1)71-1、第1の選択装置(sel0)72-0、および第2の選択装置(sel1)72-1を有している。

【0505】

そして、インタリーブ装置70は、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、および読み出しデータ出力MEMR0、MEMR1を有し、制御信号mbse1r0、mbse1r1が供給される。

【0506】

第1の遅延装置71-0は、たとえばD型フリップフロップにより構成され、1サイクルの遅延を生じさせ、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を1サイクルだけ遅延させ、信号mbnkr0__dとして第1の選択装置72-0、および第2の選択装置72-1に出力する。

【0507】

第2の遅延装置71-1は、たとえばD型フリップフロップにより構成され、1サイクルの遅延を生じさせ、メモリバンクMBNK1からの読み出しデータ入力MBNKR1を1サイクルだけ遅延させ、信号mbnkr1__dとして第1の選択装置72-0、および第2の選択装置72-1に出力する。

【0508】

第1の選択装置72-0は、メモリバンクMBNK0からの読み出しデータ入

力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dを入力とし、制御信号mbse1r0の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dのうちのいずれかの値を、読み出しデータ出力MEMR0として選択する。

【0509】

第2の選択装置72-1は、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dを入力とし、制御信号mbse1r1の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dのうちのいずれかの値を、読み出しデータ出力MEMR1として選択する。

【0510】

次に、上記構成による動作を、図17に関連付けて説明する。

【0511】

図17は、図16の読み出し系インタリーブ装置の動作を説明するためのタイミングチャートである。

このタイミングチャートは、はじめの2サイクル(cycle0, cycle1)は通常のメモリアクセス、すなわち読み出しデータ出力MEMR0にメモリバンクMBNK0からの読み出しデータ入力MBNKR0を送り、読み出しデータ出力MEMR1にメモリバンクMBNK1から読み出したデータMBNKR1を送るアクセスを表し、残りのサイクル(cycle2～)は読み出しデータ出力MEMR0, MEMR1で1サイクル中にメモリバンクMBNK0からの読み

出しデータ入力MBNK R 0を同時に利用、あるいは1サイクル中にメモリバンクMBNK 1からの読み出しデータ入力MBNK R 1のデータを同時に利用する場合を表している。

【0512】

図17 (a) に示すように、サイクル (c y c l e) 0でメモリバンクMBNK 0から読み出したデータ入力MBNK R 0はe v e n 0のデータになる。

c y c l e 1で読み出しデータ入力MBNK R 0はe v e n 1になり、メモリバンクMBNK 1からの読み出しデータ入力MBNK R 1は、図17 (b) に示すように、o d d 0になる。

そして、読み出しデータ入力MBNK R 0は、そのまま直接に第1の選択装置72-0、および第2の選択装置72-1に入力され、かつ、第1の遅延装置71-0で1サイクルだけ遅延され、信号m b n k r 0 _ dとして第1の選択装置72-0、および第2の選択装置72-1に入力される。

同様に、読み出しデータ入力MBNK R 1は、そのまま直接に第1の選択装置72-0、および第2の選択装置72-1に入力され、かつ、第2の遅延装置71-1で1サイクルだけ遅延され、信号m b n k r 1 _ dとして第1の選択装置72-0、および第2の選択装置72-1に入力される。

【0513】

そして、図17 (c) , (d) に示すように、c y c l e 1では、読み出しデータ出力MEMR 0とMEMR 1としてデータe v e n 0、o d d 0を出力するため、制御信号m b s e l r 0が、図17 (e) に示すように、データ入力MBNK R 0の1サイクル遅延を生じさせた信号m b n k r 0 _ dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEMR 0は、データe v e n 0となる。

同様に、制御信号m b s e l r 1が、図17 (f) に示すように、データ入力MBNK R 1を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR 1は、データo d d 0となる。

【0514】

c y c l e 2では、読み出しデータ入力MBNK R 0は、図17 (a) に示すように、データe v e n 2となり、読み出しデータ入力MBNK R 1は、図17 (b) に示すように、データo d d 1になる。

そして、図17 (c) , (d) に示すように、c y c l e 2では、読み出しデータ出力MEM R 0とMEM R 1としてデータe v e n 1、o d d 1を出力するため、制御信号m b s e l r 0が、図17 (e) に示すように、データ入力MBNK R 0の1サイクル遅延を生じさせた信号m b n k r 0 _ dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEM R 0は、データe v e n 1となる。

同様に、制御信号m b s e l r 1が、図17 (f) に示すように、データ入力MBNK R 1を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEM R 1は、データo d d 1となる。

【0515】

c y c l e 3では、読み出しデータ入力MBNK R 0は、図17 (a) に示すように、データe v e n 3となり、読み出しデータ入力MBNK R 1は、図17 (b) に示すように、データo d d 2になる。

そして、図17 (c) , (d) に示すように、c y c l e 3では、読み出しデータ出力MEM R 0とMEM R 1としてデータe v e n 2、o d d 3を出力するため、制御信号m b s e l r 0が、図17 (e) に示すように、データ入力MBNK R 0の1サイクル遅延を生じさせた信号m b n k r 0 _ dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEM R 0は、データe v e n 2となる。

同様に、制御信号m b s e l r 1が、図17 (f) に示すように、データ入力MBNK R 0を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEM R 1は、データe v e n 3となる。

【0516】

c y c l e 4では、読み出しデータ入力MBNK R 0は、図17 (a) に示す

ように、データeven4となり、読み出しデータ入力MBNKR1は、図17(b)に示すように、データodd3になる。

そして、図17(c), (d)に示すように、cycle4では、読み出しデータ出力MEMR0とMEMR1としてデータodd2、odd3を出力するため、制御信号mbse1r0が、図17(e)に示すように、データ入力MBNKR1の1サイクル遅延を生じさせた信号mbnkr1__dを選択するように、第1の選択装置72-0に供給される。これにより、第1の選択装置72-0の読み出しデータ出力MEMR0は、データodd2となる。

同様に、制御信号mbse1r1が、図17(f)に示すように、データ入力MBNKR1を選択するように、第2の選択装置72-1に供給される。これにより、第2の選択装置72-1の読み出しデータ出力MEMR1は、データodd3となる。

【0517】

以上説明したように、本第12の実施形態によれば、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を1サイクルだけ遅延させ、信号mbnkr0__dとして第1の選択装置72-0、および第2の選択装置72-1に出力する第1の遅延装置71-0と、1サイクルの遅延を生じさせ、メモリバンクMBNK1からの読み出しデータ入力MBNKR1を1サイクルだけ遅延させ、信号mbnkr1__dとして第1の選択装置72-0、および第2の選択装置72-1に出力する第2の遅延装置71-1と、制御信号mbse1r0の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dのうちのいずれかの値を、読み出しデータ出力MEMR0として選択する第1の選択装置72-0と、制御信号mbse1r1の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、第1の遅延装置71-0の出力信号mbnkr0__d、および第2の遅延装置71-1の出力信号mbnkr1__dのうちのいずれかの値を、読み出しデータ出力MEMR1として選択する

第2の選択装置72-1とを設けたので、デュアルポートメモリ（2R2Wメモリ）が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ（1R1Wメモリ）を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポータビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0518】

第13実施形態

図18は、本発明の第13の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一例を示す構成図である。

【0519】

本インタリーブ装置80は、特定のアクセスパターンに対して、デュアルポートメモリが必要なアクセスを、シングルポートメモリを用いて実現することが可能な装置であって、FFT演算のデータアクセス等に利用できる。

したがって、本インタリーブ装置80は、たとえば上述した第10の実施形態を示す図12の演算システムの演算装置の演算結果のデータメモリへの書き込みデータのデータ伝送系に適用可能である。

なお、以下の説明でも、図示しないシングルポートメモリは、メモリバンクMBNK0とメモリバンクMBNK1を有し、インタリーブ装置80は、メモリバンクMBNK0とメモリバンクMBNK1に対するアクセスを行うものとする。

【0520】

本インタリーブ装置80は、図18に示すように、第1の遅延装置（DFF0）81-0、第2の遅延装置（DFF1）81-1、第1の選択装置（sel0）82-0、および第2の選択装置（sel1）82-1を有している。

【0521】

そして、インタリーブ装置80は、系列0からの書き込みデータ入力MEMW0、系列1からの書き込みデータ入力MEMW1、メモリバンクMBNK0への書き込みデータ出力MBNKW0、およびメモリバンクMBNK1への書き込みデータ出力MBNKW1を有し、制御信号mbse1w0、mbse1w1が供給される。

【 0 5 2 2 】

第 1 の遅延装置 8 1 - 0 は、たとえば D 型フリップフロップにより構成され、1 サイクルの遅延を生じさせ、系列 0 からの書き込みデータ入力 MEMW 0 を 1 サイクルだけ遅延させ、信号 memw 0 __ d として第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に出力する。

【 0 5 2 3 】

第 2 の遅延装置 8 1 - 1 は、たとえば D 型フリップフロップにより構成され、1 サイクルの遅延を生じさせ、系列 1 からの書き込みデータ入力 MEMW 1 を 1 サイクルだけ遅延させ、信号 memw 1 __ d として第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に出力する。

【 0 5 2 4 】

第 1 の選択装置 8 2 - 0 は、系列 0 からの書き込み入力 MEMW 0、系列 1 からの書き込みデータ入力 MEMW 1、第 1 の遅延装置 8 1 - 0 の出力信号 memw 0 __ d、および第 2 の遅延装置 8 1 - 1 の出力信号 memw 1 __ d を入力とし、制御信号 m b s e l w 0 の値に応じて、系列 0 からの書き込み入力 MEMW 0、系列 1 からの書き込みデータ入力 MEMW 1、第 1 の遅延装置 8 1 - 0 の出力信号 memw 0 __ d、および第 2 の遅延装置 8 1 - 1 の出力信号 memw 1 __ d のうちのいずれかの値を、書き込みデータ出力 MB N K W 0 として選択する。

【 0 5 2 5 】

第 2 の選択装置 8 2 - 1 は、系列 0 からの書き込み入力 MEMW 0、系列 1 からの書き込みデータ入力 MEMW 1、第 1 の遅延装置 8 1 - 0 の出力信号 memw 0 __ d、および第 2 の遅延装置 8 1 - 1 の出力信号 memw 1 __ d を入力とし、制御信号 m b s e l w 1 の値に応じて、系列 0 からの書き込み入力 MEMW 0、系列 1 からの書き込みデータ入力 MEMW 1、第 1 の遅延装置 8 1 - 0 の出力信号 memw 0 __ d、および第 2 の遅延装置 8 1 - 1 の出力信号 memw 1 __ d のうちのいずれかの値を、書き込みデータ出力 MB N K W 1 として選択する。

【 0 5 2 6 】

次に、上記構成による動作を、図 1 9 に関連付けて説明する。

【 0 5 2 7 】

図 1 9 は、図 1 8 の書き込み系インタリーブ装置の動作を説明するためのタイミングチャートである。

このタイミングチャートは、はじめの 2 サイクル (cycle 0, cycle 1) は通常のメモリアクセス、すなわちメモリバンク MBNK 0 への書き込みデータ出力 MBNKW 0 に系列 0 からの書き込みデータ入力 MEMW 0 を送り、メモリバンク MBNK 1 への書き込みデータ出力 MBNKW 1 に系列 1 からの書き込みデータ入力 MEMW 1 を送るアクセスを表し、残りのサイクル (cycle 2 ~) は書き込みデータ入力 MEMW 0, MEMW 1 が同時に書き込みデータ出力 MBNKW 0、あるいは書き込みデータ出力 MBNKW 1 としてメモリバンク MBNK 0、MBNK 1 に書き込みをする必要があることを表している。

【 0 5 2 8 】

サイクル (cycle) 0 で、系列 0 からの書き込みデータ入力 MEMW 0 は、図 1 9 (a) に示すように、even 0 のデータになる。また、系列 1 からの書き込みデータ入力 MEMW 1 は、図 1 9 (b) に示すように、odd 0 のデータになる。

そして、書き込みデータ入力 MEMW 0 は、そのまま直接に第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に入力され、かつ、第 8 の遅延装置 8 1 - 0 で 1 サイクルだけ遅延され、信号 memw 0 __d として第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に入力される。

同様に、書き込みデータ入力 MEMW 1 は、そのまま直接に第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に入力され、かつ、第 2 の遅延装置 8 1 - 1 で 1 サイクルだけ遅延され、信号 memw 1 __d として第 1 の選択装置 8 2 - 0、および第 2 の選択装置 8 2 - 1 に入力される。

【 0 5 2 9 】

そして、図 1 9 (c), (d) に示すように、cycle 0 では、書き込みデータ出力 MBNKW 0 としてデータ even 0 を出力するため、制御信号 mbselw 0 が、図 1 7 (e) に示すように、データ入力 MEMW 0 を選択するように、第 1 の選択装置 8 2 - 0 に供給される。これにより、第 1 の選択装置 8 2 - 0 の書き込みデータ出力 MBNKW 0 は、データ even 0 となる。

【0530】

c y c l e 1で、系列0からの書き込みデータ入力MEMW0は、図19 (a) に示すように、e v e n 1のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19 (b) に示すように、o d d 1のデータになる。

そして、図19 (c), (d) に示すように、c y c l e 1では、書き込みデータ出力MBNKW0としてデータe v e n 1を出力するため、制御信号m b s e l w 0が、図19 (e) に示すように、データ入力MEMW0を選択するように、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データe v e n 1となる。

同様に、制御信号m b s e l w 1が、図19 (f) に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号m e m w 1 _ dを選択するように、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNKW1は、データo d d 0となる。

【0531】

c y c l e 2で、系列0からの書き込みデータ入力MEMW0は、図19 (a) に示すように、e v e n 2のデータになる。また、系列1からの書き込みデータ入力MEMW1は、図19 (b) に示すように、e v e n 3のデータになる。

そして、図19 (c), (d) に示すように、c y c l e 2では、書き込みデータ出力MBNKW0としてデータe v e n 2を出力するため、制御信号m b s e l w 0が、図19 (e) に示すように、データ入力MEMW0を選択するように、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データe v e n 2となる。

同様に、制御信号m b s e l w 1が、図19 (f) に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号m e m w 1 _ dを選択するように、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNKW1は、データo d d 1となる。

【0532】

c y c l e 3で、系列0からの書き込みデータ入力MEMW0は、図19 (a) に示すように、o d d 2のデータになる。また、系列1からの書き込みデータ

入力MEMW1は、図19(b)に示すように、odd3のデータになる。

そして、図19(c), (d)に示すように、cycle3では、書き込みデータ出力MBNKW0としてデータeven3を出力するため、制御信号mbse1w0が、図19(e)に示すように、データ入力MEMW1の1サイクル遅延を生じさせた信号memw1__dを選択するように、第1の選択装置82-0に供給される。これにより、第1の選択装置82-0の書き込みデータ出力MBNKW0は、データeven3となる。

同様に、制御信号mbse1w1が、図19(f)に示すように、データ入力MEMW0を選択するように、第2の選択装置82-1に供給される。これにより、第2の選択装置82-1の書き込みデータ出力MBNKW1は、データodd2となる。

【0533】

以下、cycle2とcycle3の内容を繰り返す。

【0534】

以上説明したように、本第13の実施形態によれば、系列0からの書き込みデータ入力MEMW0を1サイクルだけ遅延させ、信号memw0__dとして第1の選択装置82-0、および第2の選択装置82-1に出力する第1の遅延装置81-0と、系列1からの書き込みデータ入力MEMW1を1サイクルだけ遅延させ、信号memw1__dとして第1の選択装置82-0、および第2の選択装置82-1に出力する第2の遅延装置81-1と、制御信号mbse1w0の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0__d、および第2の遅延装置81-1の出力信号memw1__dのうちのいずれかの値を、書き込みデータ出力MBNKW0として選択する第1の選択装置82-0と、制御信号mbse1w1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、第1の遅延装置81-0の出力信号memw0__d、および第2の遅延装置81-1の出力信号memw1__dのうちのいずれかの値を、書き込みデータ出力MBNKW1として選択する第2の選択装置82-1とを設けたので、上述した第12の実施形態と同様に、デュアルポー

トメモリ（2R2Wメモリ）が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ（1R1Wメモリ）を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポータビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0535】

第14実施形態

図20は、本発明の第14の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ読み出し系の一般化した例を示す構成図である。

【0536】

本第14の実施形態は、上述した遅延装置および選択装置を2個ずつ持つ第12の実施形態を一般化して、 n 個の読み出しデータ入力MBNK $R_0 \sim MBNK R_{n-1}$ に対してそれぞれ、 n 個ずつの遅延装置71A-00 \sim 71A-0 $n-1$ 、 \dots 、71A-($n-1$)0 \sim 71A-($n-1$) $n-1$ をもち、各遅延装置71A-00 \sim 71A-0 $n-1$ 、 \dots 、71A-($n-1$)0 \sim 71A-($n-1$) $n-1$ の遅延信号mbnkr0__1d \sim mbnkr0__nd、mbnkr1__1d \sim mbnkr1__ndを n 個の選択装置72A-0 \sim 72A- $n-1$ に対して並列に入力させた構成となっている。

【0537】

すなわち、本インタリーブ装置70Aは、 $n \times n$ 個の第1の遅延装置71A-00 \sim 71A-0 $n-1$ 、 \dots 、第 n の遅延装置71A-($n-1$)0 \sim 71A-($n-1$) $n-1$ 、および n 個の第1 \sim 第 n の選択装置72A-0 \sim 72A- $n-1$ を有している。

【0538】

そして、インタリーブ装置70Aは、メモリバンクMBNK0からの読み出しデータ入力MBNK R_0 、メモリバンクMBNK1からの読み出しデータ入力MBNK R_1 、 \dots 、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNK R_{n-1} 、および読み出しデータ出力MEM $R_0 \sim MEM R_{n-1}$ を有し、制御信号mbse1r0、mbse1r1、 \dots 、mbse1 $n-1$ が供給される。

【0539】

第1の遅延装置71A-00は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を m サイクルだけ遅延させ、信号 $mbnkro_1d$ として第1～第 n の選択装置72A-0～72A- $n-1$ に出力する。

【0540】

第1の遅延装置71A-01は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を m サイクルだけ遅延させ、信号 $mbnkro_2d$ として第1～第 n の選択装置72A-0～72A- $n-1$ に出力する。

【0541】

同様に、第1の遅延装置71A-0 $n-1$ は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK0からの読み出しデータ入力MBNKR0を m サイクルだけ遅延させ、信号 $mbnkro_nd$ として第1～第 n の選択装置72A-0～72A- $n-1$ に出力する。

【0542】

第 n の遅延装置71A-($n-1$)0は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNKR $n-1$ を m サイクルだけ遅延させ、信号 $mbnkro_1d$ として第1～第 n の選択装置72A-0～72A- $n-1$ に出力する。

【0543】

第 n の遅延装置71A-($n-1$)1は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK $n-1$ からの読み

出しデータ入力MBNK R_{n-1} をmサイクルだけ遅延させ、信号mbnk r_{n-1_2d} として第1～第nの選択装置72A-0～72A- $n-1$ に出力する。

【0544】

同様にして、第nの遅延装置71A-($n-1$) $n-1$ は、たとえばD型フリップフロップにより構成され、任意のk ($0 \leq k \leq n-1$) について、mサイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNK R_{n-1} をmサイクルだけ遅延させ、信号mbnk r_{n-1_nd} として第1～第nの選択装置72A-0～72A- $n-1$ に出力する。

【0545】

第1の選択装置72A-0は、メモリバンクMBNK0からの読み出しデータ入力MBNK R_0 、メモリバンクMBNK1からの読み出しデータ入力MBNK R_1 、…、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNK R_{n-1} 、第1の遅延装置71A-00～71A-0 $n-1$ の出力信号mbnk $r_0_1d \sim mbnkr_0_nd$ 、…、第nの遅延装置71A-($n-1$)0～71A-($n-1$) $n-1$ の出力信号mbnk $r_1_1d \sim mbnkr_1_nd$ を入力とし、制御信号mbse lr_0 の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNK R_0 、メモリバンクMBNK1からの読み出しデータ入力MBNK R_1 、…、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNK R_{n-1} 、第1の遅延装置71A-00～71A-0 $n-1$ の出力信号mbnk $r_0_1d \sim mbnkr_0_nd$ 、…、第nの遅延装置71A-($n-1$)0～71A-($n-1$) $n-1$ の出力信号mbnk $r_1_1d \sim mbnkr_1_nd$ のうちのいずれかの値を、読み出しデータ出力MEM R_0 として選択する。

【0546】

同様にして、第1の選択装置72A- $n-1$ は、メモリバンクMBNK0からの読み出しデータ入力MBNK R_0 、メモリバンクMBNK1からの読み出しデータ入力MBNK R_1 、…、メモリバンクMBNK $n-1$ からの読み出しデータ

入力MBNKR $n-1$ 、第1の遅延装置71A-00~71A-0 $n-1$ の出力信号mbnkr0__1d~mbnkr0__nd、…、第nの遅延装置71A-($n-1$)0~71A-($n-1$) $n-1$ の出力信号mbnkr1__1d~mbnkr1__ndを入力とし、制御信号mbse1rn-1の値に応じて、メモリバンクMBNK0からの読み出しデータ入力MBNKR0、メモリバンクMBNK1からの読み出しデータ入力MBNKR1、…、メモリバンクMBNK $n-1$ からの読み出しデータ入力MBNKR $n-1$ 、第1の遅延装置71A-00~71A-0 $n-1$ の出力信号mbnkr0__1d~mbnkr0__nd、…、第nの遅延装置71A-($n-1$)0~71A-($n-1$) $n-1$ の出力信号mbnkr1__1d~mbnkr1__ndのうちのいずれかの値を、読み出しデータ出力MEMR $n-1$ として選択する。

【0547】

以上の構成を有するインタリーブ装置70Aにおいては、上述したように、 n 個の読み出しデータ入力MBNKR0~MBNKR $n-1$ に対してそれぞれ、 n 個ずつの遅延装置71A-00~71A-0 $n-1$ 、…、71A-($n-1$)0~71A-($n-1$) $n-1$ をもち、各遅延装置71A-00~71A-0 $n-1$ 、…、71A-($n-1$)0~71A-($n-1$) $n-1$ の遅延信号mbnkr0__1d~mbnkr0__nd、mbnkr1__1d~mbnkr1__ndを n 個の選択装置72A-0~72A- $n-1$ に対して並列に入力させた構成となっている以外は、第12の実施形態と同様であり、各部の機能も同様であることから、動作については、そのタイミングチャートを図21に示し、ここでは詳細な説明は省略する。

【0548】

したがって、本第14の実施形態によれば、上述した第12の実施形態と同様に、デュアルポートメモリ(2R2Wメモリ)が必要な状況でも、特定のアクセスパターン場合にはシングルポートメモリ(1R1Wメモリ)を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポータビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0549】

第15実施形態

図22は、本発明の第15の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一般化した例を示す構成図である。

【0550】

本第15の実施形態は、上述した遅延装置および選択装置を2個ずつ持つ第12の実施形態の一般化して、 $n-1$ 個の読み出しデータ入力MBNKR1～MBNKR $n-1$ に対してそれぞれ第2の遅延装置81A-1、…、第 n の遅延装置81A- $n-1$ をもち、各遅延装置81A-1～81A- $n-1$ の遅延信号memw1__1d～memw $n-1$ __ $n-1$ dを n 個の選択装置82A-0～82A- $n-1$ に対して並列に入力させた構成となっている。

【0551】

すなわち、本インタリーブ装置80Aは、 $n-1$ 個の第2～第 n の遅延装置81A-1～81A- $n-1$ 、および n 個の第1～第 n の選択装置82A-0～82A- $n-1$ を有している。

【0552】

そして、インタリーブ装置80Aは、系列0からの書き込みデータ入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列 $n-1$ からの書き込みデータ入力MEMW $n-1$ 、メモリバンクMBNK0への書き込みデータ出力MBNKW0、メモリバンクMBNK1への書き込みデータ出力MBNKW1、…、メモリバンクMBNK $n-1$ への書き込みデータ出力MBNKW $n-1$ を有し、制御信号mbse1w0, mbse1w1、…、mbse1w $n-1$ が供給される。

【0553】

第2の遅延装置81A-1は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、系列1からの書き込みデータ入力MEMW1を1サイクルだけ遅延させ、信号memw1__dとして第1の選択装置82A-0～第 n の選択装置82A- $n-1$ に出力する。

【 0 5 5 4 】

同様にして、第 n の遅延装置 $81A-n-1$ は、たとえばD型フリップフロップにより構成され、任意の k ($0 \leq k \leq n-1$) について、 m サイクル ($1 \leq m \leq n$) の遅延を生じさせる遅延装置であって、系列 $n-1$ からの書き込みデータ入力 $MEMW_{n-1}$ を1サイクルだけ遅延させ、信号 $memw_{n-1_n-1d}$ として第1の選択装置 $82A-0 \sim$ 第 n の選択装置 $82A-n-1$ に出力する。

【 0 5 5 5 】

第1の選択装置 $82A-0$ は、系列0からの書き込み入力 $MEMW_0$ 、系列1からの書き込みデータ入力 $MEMW_1$ 、…、系列 $n-1$ からの書き込みデータ入力 $MEMW_{n-1}$ 、第2の遅延装置 $81A-1$ の出力信号 $memw_{1_1d}$ 、…、第 n の遅延装置 $81A-n-1$ の出力信号 $memw_{n-1_n-1d}$ を入力とし、制御信号 $mbse1w0$ の値に応じて、系列0からの書き込み入力 $MEMW_0$ 、系列1からの書き込みデータ入力 $MEMW_1$ 、…、系列 $n-1$ からの書き込みデータ入力 $MEMW_{n-1}$ 、第2の遅延装置 $81A-1$ の出力信号 $memw_{1_1d}$ 、…、第 n の遅延装置 $81A-n-1$ の出力信号 $memw_{n-1_n-1d}$ のうちのいずれかの値を、書き込みデータ出力 $MBNKW_0$ として選択する。

【 0 5 5 6 】

第2の選択装置 $82A-1$ は、系列0からの書き込み入力 $MEMW_0$ 、系列1からの書き込みデータ入力 $MEMW_1$ 、…、系列 $n-1$ からの書き込みデータ入力 $MEMW_{n-1}$ 、第2の遅延装置 $81A-1$ の出力信号 $memw_{1_1d}$ 、…、第 n の遅延装置 $81A-n-1$ の出力信号 $memw_{n-1_n-1d}$ を入力とし、制御信号 $mbse1w1$ の値に応じて、系列0からの書き込み入力 $MEMW_0$ 、系列1からの書き込みデータ入力 $MEMW_1$ 、…、系列 $n-1$ からの書き込みデータ入力 $MEMW_{n-1}$ 、第2の遅延装置 $81A-1$ の出力信号 $memw_{1_1d}$ 、…、第 n の遅延装置 $81A-n-1$ の出力信号 $memw_{n-1_n-1d}$ のうちのいずれかの値を、書き込みデータ出力 $MBNKW_1$ として選択する。

【 0 5 5 7 】

同様にして、第 n の選択装置 $82A-n-1$ は、系列0からの書き込み入力 $MEMW_0$ 、系列1からの書き込みデータ入力 $MEMW_1$ 、…、系列 $n-1$ からの

書き込みデータ入力MEMW $n-1$ 、第2の遅延装置81A-1の出力信号memw1__1d、…、第nの遅延装置81A- $n-1$ の出力信号memwn-1__ $n-1$ dを入力とし、制御信号mbse1wn-1の値に応じて、系列0からの書き込み入力MEMW0、系列1からの書き込みデータ入力MEMW1、…、系列 $n-1$ からの書き込みデータ入力MEMW $n-1$ 、第2の遅延装置81A-1の出力信号memw1__1d、…、第nの遅延装置81A- $n-1$ の出力信号memwn-1__ $n-1$ dのうちのいずれかの値を、書き込みデータ出力MBNKW $n-1$ として選択する。

【0558】

以上の構成を有するインタリーブ装置80Aにおいては、上述したように、第13の実施形態を一般化して、 $n-1$ 個の読み出しデータ入力MBNKR1～MBNKR $n-1$ に対してそれぞれ第2の遅延装置81A-1、…、第nの遅延装置81A- $n-1$ をもち、各遅延装置81A-1～81A- $n-1$ の遅延信号memw1__1d～memwn-1__ $n-1$ dをn個の選択装置82A-0～82A- $n-1$ に対して並列に入力させた構成となっている以外は、第13の実施形態と同様であり、各部の機能も同様であることから、動作については、そのタイミングチャートを図23に示し、ここでは詳細な説明は省略する。

【0559】

したがって、本第15の実施形態によれば、上述した第13の実施形態と同様に、デュアルポートメモリ（2R2Wメモリ）が必要な状況でも、特定のアクセスパターンの場合にはシングルポートメモリ（1R1Wメモリ）を用いて同等の機能を実現することができる。

これにより、メモリ面積の削減、プロセスポータビリティの向上が可能になり、しかも連続したメモリアクセスを実現できる利点がある。

【0560】

第16実施形態

図24は、本発明の第16の実施形態に係る演算システムを示す構成図である。

【0561】

本演算システム 9 0 では、たとえば上述した第 1 の実施形態～第 9 の実施形態に係る演算器の配列や、演算実行時の係数パラメータ等を、構成情報に基づいて再構成可能な演算装置が用いられる。

そして、本演算システム 9 0 は、演算実行部、演算実行部の再構成のための構成情報を格納する構成情報記憶部を含み、この構成情報記憶部は、CPU を用い演算実行部の構成情報の書き換えにおいて、複数の構成情報を記憶するためにリング状に構成された記憶部を持ち、演算実行時に使用する構成情報記憶部と、書き換えを行うための構成情報記憶部とを分離し、構成情報の書き換えに伴うオーバーヘッドを低減し、または、高速に複数の構成を切り換えることができるように構成される。

【 0 5 6 2 】

具体的には、本演算システム 9 0 は、図 2 4 に示すように、制御回路としての CPU 9 1、構成情報記憶部 9 2、および演算実行部 9 3 を主構成要素として有している。

【 0 5 6 3 】

CPU 9 1 は、たとえばバスを介して、構成情報記憶部 9 2 に対してアクセスすることが可能になっている。

そして、CPU 9 1 は、演算実行部 9 3 の再構成のための構成情報 CD を、書き込み信号 CWR を用いて構成情報記憶部 9 2 に書き込む。

また、CPU 9 1 は、シフト信号 CEX を用いて演算実行部 9 3 の再構成のための構成情報を既に記憶されている他の情報に変更させる。

【 0 5 6 4 】

構成情報記憶部 9 2 は、CPU 9 1 からバスを介して構成情報が書き込まれ、書き込まれた構成情報を演算実行部 9 3 に出力する。

構成情報記憶部 9 2 は、図 2 4 に示すように、たとえば「構成情報 1」、「構成情報 2」、…という各構成情報の記憶部が、それぞれ複数の構成情報を保持できるようにしている。

その中の 1 つは演算実行時の構成情報を記憶するため、別の 1 つは外部からの構成情報の書き込みを行うための記憶領域となる。

さらに、これらの構成情報の内容は一斉に瞬時に入れ替えが可能になっている。

これにより、演算実行部 93 が演算を行っている間に、別のページの内容を同時に書き換えることができ、従来、図 25 (a) に示すように、構成情報の書き換えに必要な時間的オーバーヘッドが大きかったという問題が、図 25 (b) に示すように、構成情報の書き換えに必要な時間的オーバーヘッドを、演算の実行時間の裏側に隠蔽することができる。

【0565】

図 26 は、4 つの構成情報を保持することができる構成情報記憶部の構成例を示す図である。

【0566】

この構成情報記憶部 92 は、図 26 に示すように、レジスタ 921 ~ 924、選択装置 925、および OR ゲート 926 を有している。

また、図 26 において、TCD は構成情報 CD の入力端子、TCWR は書き込み信号 CWR の入力端子、TCEX はシフト信号 CEX の入力端子、TCCLK はクロック入力端子、TOUT は記憶した構成情報の演算実行部 93 への出力端子をそれぞれ示している。

【0567】

レジスタ 921 ~ 924 (CD1 ~ CD4) は、構成情報を記憶するためのレジスタであり、これらのレジスタ 921 ~ 924 はリング状に接続されている。

具体的には、レジスタ 921 の出力がレジスタ 924 の入力、および構成情報の出力端子 TOUT に接続され、レジスタ 924 の出力がレジスタ 923 の入力に接続され、レジスタ 923 の出力が選択装置 925 の第 1 の入力端子「0」を介してレジスタ 922 の入力に接続され、レジスタ 922 の出力がレジスタ 921 の入力に接続されている。

【0568】

また、選択装置 925 の第 2 の入力端子「1」が構成情報 CD の入力端子 TCD に接続されている。選択装置 925 の制御端子が書き込み信号 CWR の入力端子 TCWR に接続されている。

選択装置 925 は、書き込み信号 CWR が論理「1」で制御端子に供給されると入力端子 TCD に入力される構成情報 CD を選択して、レジスタ 922 に入力させる。

一方、選択装置 925 は、書き込み信号 CWR が論理「0」で制御端子に供給されるとレジスタ 923 の出力情報を選択して、レジスタ 922 に入力させる。

【0569】

2 入力 OR ゲート 926 は、第 1 の入力端子が書き込み信号 CWR の入力端子 TCWR に接続され、第 2 の入力端子がシフト信号 CEX の入力端子 TCEX に接続され、出力端子がレジスタ 922 の制御端子に接続されている。

【0570】

また、レジスタ 921, 923, 924 の制御端子はシフト信号 CEX の入力端子 TCEX に接続されており、また、各レジスタ 921 ~ 924 のクロック端子がクロック入力端子 TCCLK に接続されている。

【0571】

そして、これらのレジスタ 921 ~ 924 は、その先に接続される「被再構成部」が必要とする構成情報のビット数を記憶できる。

これらの中で、演算実行部 93 の構成情報として、レジスタ 921 (CD1) の内容が使用される。

レジスタ 921 の出力は、演算実行部 93 の構成変更回路に直結されているため、この値が書き換えられると演算実行部 93 のハードウェア構成に即座に反映される。

このため、演算実行部 93 の動作中に外部からレジスタ 921 に対して書き込みを行うと実行中の演算結果に影響を与えることになる。

これを避けるために、外部からの構成情報 CD の書き込みはレジスタ 922 (CD2) に対して行われる。

【0572】

構成情報 CD の書き換えは、入力端子 TCD に構成情報 CD を入力し、書き込み信号 CWR を 1 にすることで行われる。

この書き込み操作では、レジスタ 921 (CD1) の内容は変化しない。

【 0 5 7 3 】

新たに書き込んだ構成情報CDを演算実行部93の構成に反映するためには、書き込み信号「CWR」を0、シフト信号「CEX」を1にしてレジスタ922（CD2）の内容をレジスタ921（CD1）に転送する。

この時同時に、レジスタ921（CD1）→レジスタ924（CD4）→レジスタ923（CD3）→レジスタ922（CD2）というように構成情報がリングの中でローテーションして保持される。

【 0 5 7 4 】

構成情報CDの入れ替えは、すべての構成情報記憶部92に対して同時に行われるので、クロック「CLK」1サイクル分で完了する。

また、新しい構成情報を書き込まずに上記の入れ替え操作だけを行えば、リングを構成するレジスタ数分の過去の構成情報を高速に切り替えて再使用することができる。

【 0 5 7 5 】

なお、複数の構成情報を記憶できる記憶部を用意する場合、任意の構成情報を順番に関係なく自由に入れ替え可能にしたいという欲求が生じる場合がある。

しかしそのためには、記憶部の構成情報入れ替え制御手段が複雑になり、システム全体の構成情報の情報量が増えてくると、記憶部が占める面積や消費電力といったオーバーヘッドが無視できなくなってくる。

【 0 5 7 6 】

本第16の実施形態に係るリング状の構成情報の入れ替え手段は、記憶している任意の構成情報CDをすぐに呼び出すことはできないが、記憶部の回路構成と入れ替えのための制御信号を単純化できるという特徴を備える。

記憶している構成情報CDの入れ替えの自由度が制限されるという制約は、1つの信号処理アプリケーション等に含まれる複数の演算処理を、構成を切り替えながら実行するようなケースを考えた場合、再構成がアプリケーションのアルゴリズムにしたがって、決まったパターンで繰り返し行われると考えられ、その限りにおいては問題にならない。

【 0 5 7 7 】

演算実行部 9 3 は、たとえば図 1 に示すような演算装置等と同様の構成を有し、構成情報記憶部 9 2 による構成情報に基づいて係数、データ等の経路を選択するための選択装置 (S E L) 9 3 1 - 0 ~ 9 3 1 - 2、構成情報記憶部 9 2 による構成情報 (演算内容を指示するための制御信号) に基づいて算術演算を行う A L U 9 3 2、構成情報記憶部 9 2 により構成情報 (演算内容を指示するための制御信号) に基づいて積和演算を行う M A C 構造の演算器 9 3 3 を有し、構成情報記憶部 9 2 による構成情報に基づいて、演算器の配列や、演算実行時の係数パラメータ等を再構成して、指定の演算を行い、この演算結果をたとえば図示しないデータメモリ等へ出力する。

【 0 5 7 8 】

次に、上記構成による動作を説明する。

なお、ここでは、構成情報記憶部 9 2 の 4 つのレジスタ 9 2 1 ~ 9 2 4 にはそれぞれ構成情報 C D が保持されているものとする。

【 0 5 7 9 】

この場合、演算実行部 9 3 の構成情報として、構成情報記憶部 9 2 のレジスタ 9 2 1 (C D 1) の内容が使用される。

レジスタ 9 2 1 の出力は、演算実行部 9 3 の構成変更回路に直結されている。このため、演算実行部 9 3 においては、構成情報記憶部 9 2 による構成情報に基づいて、演算器の配列や、演算実行時の係数パラメータ等が再構成されて、指定の演算が行われる。そして、演算結果がたとえば図示しないデータメモリ等へ出力される。

【 0 5 8 0 】

ここで、演算実行部 9 3 に供給する構成情報 C D の値を書き換える場合には、演算実行部 9 3 の動作中に外部からレジスタ 9 2 1 に対して書き込みを行うと実行中の演算結果に影響を与えることになる。

これを避けるために、外部からの構成情報 C D の書き込みはレジスタ 9 2 2 (C D 2) に対して行われる。

【 0 5 8 1 】

構成情報 C D の書き換えは、C P U 9 1 から入力端子 T C D に構成情報 C D が入

力され、書き込み信号CWRが「1」に設定される。これにより、レジスタ922に対してCPU91から供給された構成情報CDが書き込まれる。

なお、この書き込み操作では、レジスタ921（CD1）の内容は変化しない。

【0582】

次に、新たに書き込んだ構成情報CDを演算実行部93の構成に反映するために、CPU91により書き込み信号CWRが「0」、シフト信号CEXが「1」に設定される。これにより、レジスタ922（CD2）の内容がレジスタ921（CD1）に転送される。

この時同時に、レジスタ921（CD1）→レジスタ924（CD4）→レジスタ923（CD3）→レジスタ922（CD2）というように構成情報がリングの中でローテーションして保持される。

【0583】

構成情報CDの入れ替えは、すべての構成情報記憶部92に対して同時に行われるので、クロック「CCLK」1サイクル分で完了する。

【0584】

以上説明したように、本第16の実施形態によれば、演算器の配列等のハードウェア構成を再構成可能な演算装置を有する演算システム90において、構成情報を保持する構成情報記憶部92を、リング状に結合した複数のレジスタ921～924で構成し、その中の一つの構成情報を用いて演算処理を行っている間に、別の構成情報記憶部の内容を書き換えることができるように構成情報書き換え部、および再構成可能な演算実行部93と接続し、また、各レジスタ921～924に記憶された構成情報は、リング内をローテーションすることによって切り替えが可能としたことから、以下の効果を得られる。

すなわち、演算器が演算処理を実行中であっても、同時に次に使用する構成情報を設定することが可能とし、また、新たな構成情報を書き込まずに、構成の切り替えのみを行うことによって過去に使用した構成情報を再利用可能となる利点がある。

【0585】

すなわち、ハードウェアの再構成を演算実行と同時に出来るようになり、このオーバーヘッドを、演算の実行時間の裏側に隠蔽できるようになる。

また、複数の構成情報を同時に保持でき、それらを瞬時に切り替えることができる特性により、繰り返し使用される構成情報を同時に記憶しておき、それらを切り替えて使用することで、再構成のためのオーバーヘッドをほぼ「ゼロ」にすることも可能となる利点がある。

【0586】

なお、本第1.6の実施形態においては、4つの構成情報を保持できる構成を示しているが、必要に応じて2以上の任意の数の構成情報を保持できるようにしてもよい。

【0587】

【発明の効果】

以上説明したように、本発明によれば、演算装置自体を外部から再構成可能である。したがって、論理レベルの最適化ができることはもとより、構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止できる演算装置を実現できる利点がある。

また、演算装置を再構成可能であることから、カスケード演算だけでなく並列演算も同一のハードウェアで実現することが可能になっている。そのため、演算装置の数を増やして多くの並列化可能な処理を効率良く実行することもできる。

【0588】

また、複数の演算を行う場合に、各演算装置に各演算を割り当て、さらに前段の演算結果をカスケードすることで一度に演算結果を得ることが可能である。そのため、実行サイクル数が短くなる。また一時レジスタへのアクセスが少なくなるため電力の消費も抑えることができる利点がある。

【図面の簡単な説明】

【図1】

本発明に係る演算装置の第1の実施形態を示す構成図である。

【図2】

本第1の実施形態の動作を説明するための図であって、図1の演算装置におい

て、 $n = 4$ で、係数入出力、データ入出力が 4、カスケード入力が 3 である場合の装置を構成を示す図である。

【図 3】

本発明に係る演算装置の第 2 の実施形態を示す構成図である。

【図 4】

本第 2 の実施形態の動作を説明するための図であって、図 3 の演算装置において、 $n = 4$ である場合の装置を構成を示す図である。

【図 5】

本発明に係る演算装置の第 3 の実施形態を示す構成図である。

【図 6】

本発明に係る演算装置の第 4 の実施形態を示す構成図である。

【図 7】

本発明に係る演算装置の第 5 の実施形態を示す構成図である。

【図 8】

本発明に係る演算装置の第 6 の実施形態を示す構成図である。

【図 9】

本発明に係る演算装置の第 7 の実施形態を示す構成図である。

【図 1 0】

本発明に係る演算装置の第 8 の実施形態を示す構成図である。

【図 1 1】

本発明に係る演算装置の第 9 の実施形態を示す構成図である。

【図 1 2】

本発明の第 1 0 の実施形態に係る演算システムを示す構成図である。

【図 1 3】

本発明に係るアドレス生成装置によって生成されるアドレスと制御信号により選択される経路選択情報の選択タイミング例を示す図である。

【図 1 4】

本発明の第 1 1 の実施形態を説明する図であって、本発明に係る演算システムに適用可能なアドレス生成装置の一例を示す構成図である。

【図 1 5】

図 1 4 の動作を説明するための図である。

【図 1 6】

本発明の第 1 2 の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ読み出し系の一例を示す構成図である。

【図 1 7】

図 1 6 の読み出し系インタリーブ装置の動作を説明するためのタイミングチャートである。

【図 1 8】

本発明の第 1 3 の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一例を示す構成図である。

【図 1 9】

図 1 8 の書き込み系インタリーブ装置の動作を説明するためのタイミングチャートである。

【図 2 0】

本発明の第 1 4 の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ読み出し系の一般化した例を示す構成図である。

【図 2 1】

図 2 0 の読み出し系インタリーブ装置のタイミングチャートである。

【図 2 2】

本発明の第 1 5 の実施形態を説明するための図であって、本発明に係るインタリーブ装置のデータ書き込み系の一般化した例を示す構成図である。

【図 2 3】

図 2 2 の書き込み系インタリーブ装置のタイミングチャートである。

【図 2 4】

本発明の第 1 6 の実施形態に係る演算システムを示す構成図である。

【図 2 5】

本発明に係る構成情報記憶部を設けることによる効果を説明するための図である。

【図 2 6】

本発明に係る構成情報記憶部の具体的な構成例を示す図である。

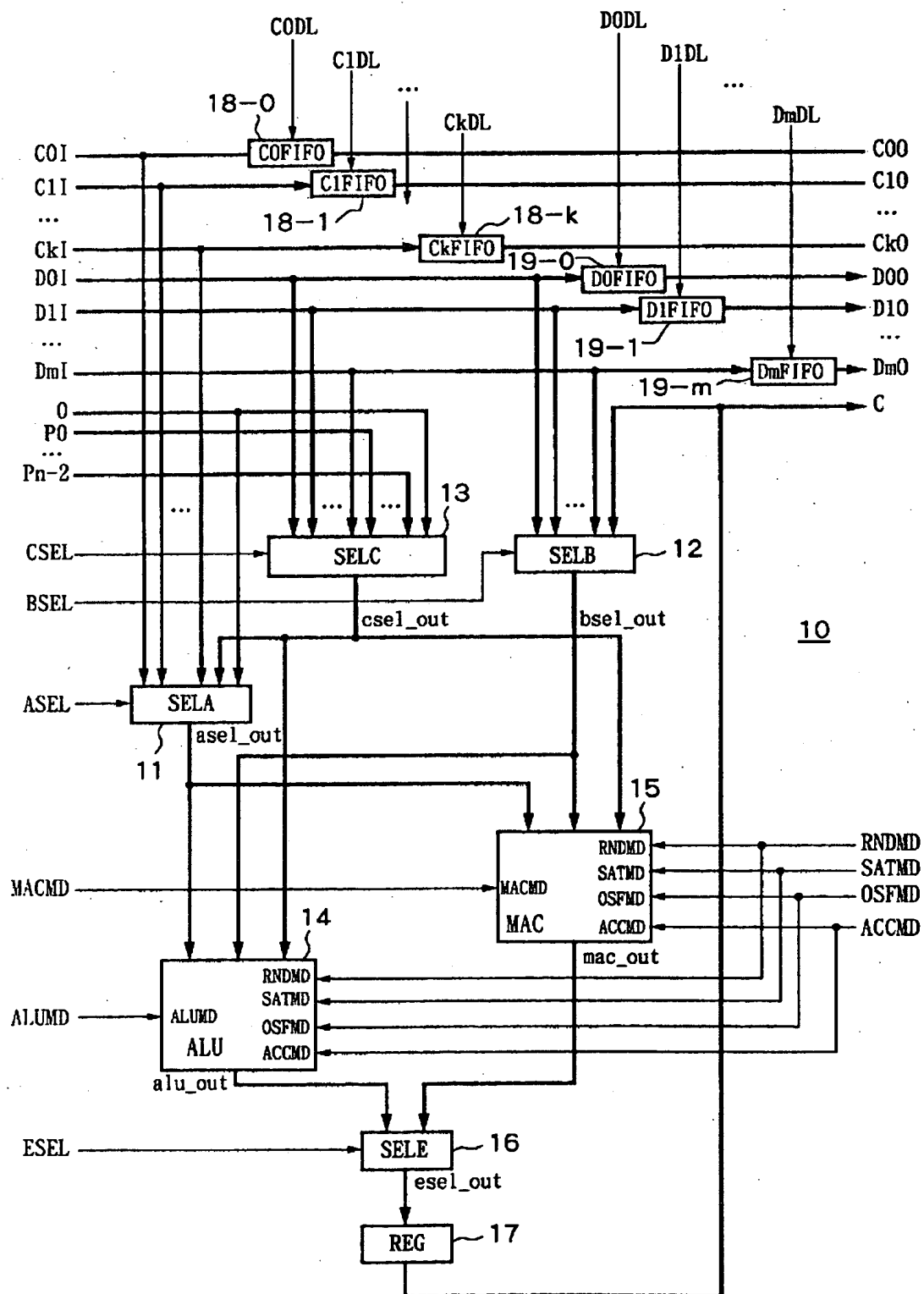
【符号の説明】

1 0, 1 0 A, 1 0 - 1 ~ 1 0 - n, 1 0 A - 1 ~ 1 0 A - 3 … 演算装置、1 1 … 第 1 の選択装置 (S E L A)、1 2 … 第 2 の選択装置 (S E L B)、1 3 … 第 3 の選択装置 (S E L C)、1 4 … A L U、1 5 … M A C、1 6 … 第 4 の選択装置 (S E L E)、1 7 … レジスタ (R E G)、1 8 - 0 ~ 1 8 - k … 係数入力遅延用 F I F O (C 0 F I F O ~ C k F I F O)、1 9 - 0 ~ 1 9 - m … データ入力遅延用 F I F O (D 0 F I F O ~ D m F I F O)、2 0 … 演算装置、2 1 - 0, 2 1 - 1 … シフト演算器 (S F T 0, S F T 1)、2 2 - 0, 2 2 - 1 … 入力選択装置 (R S E L 0, R S E L 1)、2 3 … バタフライ演算器 (B T F 0)、2 4 - 0, 2 4 - 1 … 出力選択装置 (D S E L 0, D S E L 1)、2 5 - 0, 2 5 - 1 … 出力選択装置 (W S E L 0, W S E L 1)、2 0 A … 演算装置、2 1 A - 0 ~ 2 1 A - 3 … シフト演算器 (S F T 0 ~ S F T 3)、2 2 A - 0 ~ 2 2 A - 3 … 入力選択装置 (R S E L 0 ~ R S E L 3)、2 3 A - 0, 2 3 A - 1 … バタフライ演算器 (B T F 0, B T F 1)、2 4 A - 0 ~ 2 4 A - 3 … 出力選択装置 (D S E L 0 ~ D S E L 3)、2 5 A - 0 ~ 2 5 A - 3 … 出力選択装置 (W S E L 0 ~ W S E L 3)、2 0 B … 演算装置、2 3 B - 2 … バタフライ演算器 (B T F 2)、2 5 B - 0 ~ 2 5 B - 3 … 出力選択装置 (W S E L 0 ~ W S E L 3)、2 0 C … 演算装置、2 2 C - 0 ~ 2 2 C - 1 5 … 入力選択装置 (R S E L 0 ~ R S E L 7, B S E L 0 ~ B S E L 7)、2 3 C - 0 ~ 2 3 C - 7 … バタフライ演算器 (B T F 0 ~ B T F 7)、2 4 C - 0 ~ 2 4 C - 7 … 出力選択装置 (D S E L 0 ~ D S E L 7)、2 5 C - 0 ~ 2 5 C - 7 … 出力選択装置 (W S E L 0 ~ W S E L 7)、2 0 D … 演算装置、2 2 D - 0 ~ 2 2 D - 7 … 入力選択装置 (R S E L 0 ~ R S E L 7)、2 3 D - 0 ~ 2 3 D - 6 … バタフライ演算器 (B T F 0 ~ B T F 6)、2 4 D - 0 ~ 2 4 D - 7 … 出力選択装置 (D S E L 0 ~ D S E L 7)、2 5 D - 0 ~ 2 5 D - 7 … 出力選択装置 (W S E L 0 ~ W S E L 7)、3 0 … 演算装置、3 1 … 第 1 の演算装置 (P U)、3 2 … 第 2 の演算装置 (B T F)、3 0 A … 演算装置、3 1 A … 第 1 の演算装置 (P U)、3 2 A - 0 (B T F L a 0), …, 3 2 A

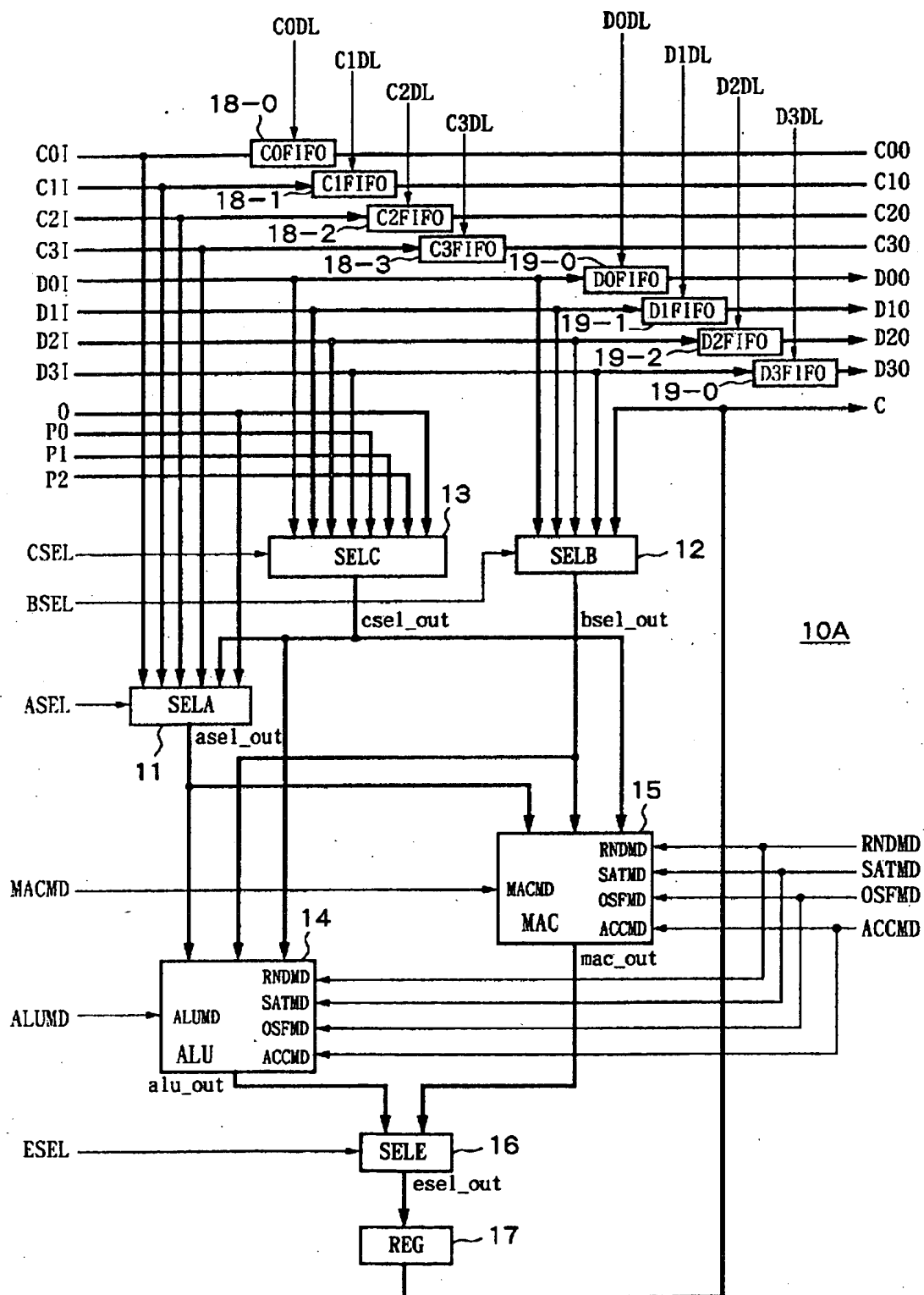
-k (BTFLak)、32B-0 (BTFLb0)、…、32B-m (BTFLbm)、32C-0 (BTFLc0)、…、32C-n (BTFLcn) …第2の演算装置、40…演算システム、41…CPU、42…第1の経路選択情報メモリ、43…第2の経路選択情報メモリ、44…選択装置、45…アドレス生成装置、46…データメモリ、47…再構成可能な演算装置、50…アドレス生成装置、51-0～51-x…演算器 (INCDEC0～INCDEC Dx)、52-0～52-2…セクタ付き演算器 (SUM0～SUM2)、53-0～53-x…セクタ (SEL0～SELx)、54-0～54-x…カウンタ (Counter0～Counterx)、55-0…比較器 (END)、56-0～56-x…比較器 (END1～ENDx)、57-0～57-2…比較器 (INC0～INC2)、58…セクタ付き演算器 (ADRSUM)、59…ビット反転器 (BRV)、60…マスク生成器 (ADRMASK)、61…制御信号生成器 (CTRLGEN)、70…読み出し系インタリーブ装置、71-0…第1の遅延装置 (DFF0)、71-1…第2の遅延装置 (DFF1)、72-0…第1の選択装置 (sel0)、72-1…第2の選択装置 (sel1)、80…書き込み系インタリーブ装置、81-0…第1の遅延装置 (DFF0)、81-1…第2の遅延装置 (DFF1)、82-0…第1の選択装置 (sel0)、82-1…第2の選択装置 (sel1)、70A…読み出し系インタリーブ装置、71A-00～71A-0n-1…第1の遅延装置、71A-(n-1)0～71A-(n-1)n-1…第nの遅延装置、72A-0～72A-n-1…第1～第nの選択装置、80A…インタリーブ装置、81A-1～81A-n-1…第2の遅延装置～第nの遅延装置、82A-0～82A-n-1…第1～第nの選択装置、90…演算システム、91…CPU、92…構成情報記憶部、921～924 (CD1～CD4) …レジスタ、925…選択装置、926…ORゲート、93…演算実行部、931-0～931-2…選択装置、932…ALU、933…MAC構造の演算器。

【書類名】 図面

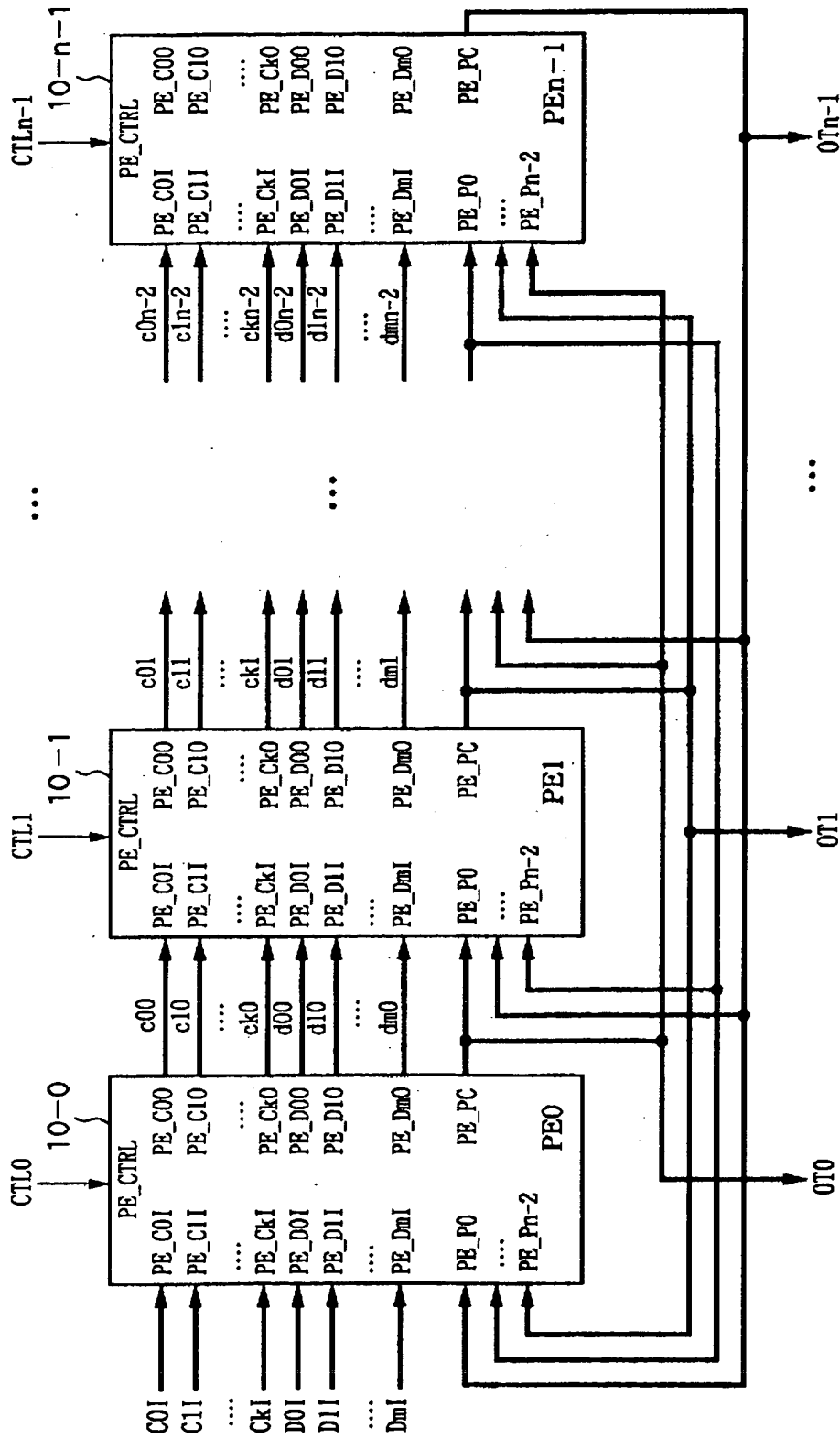
【図 1】



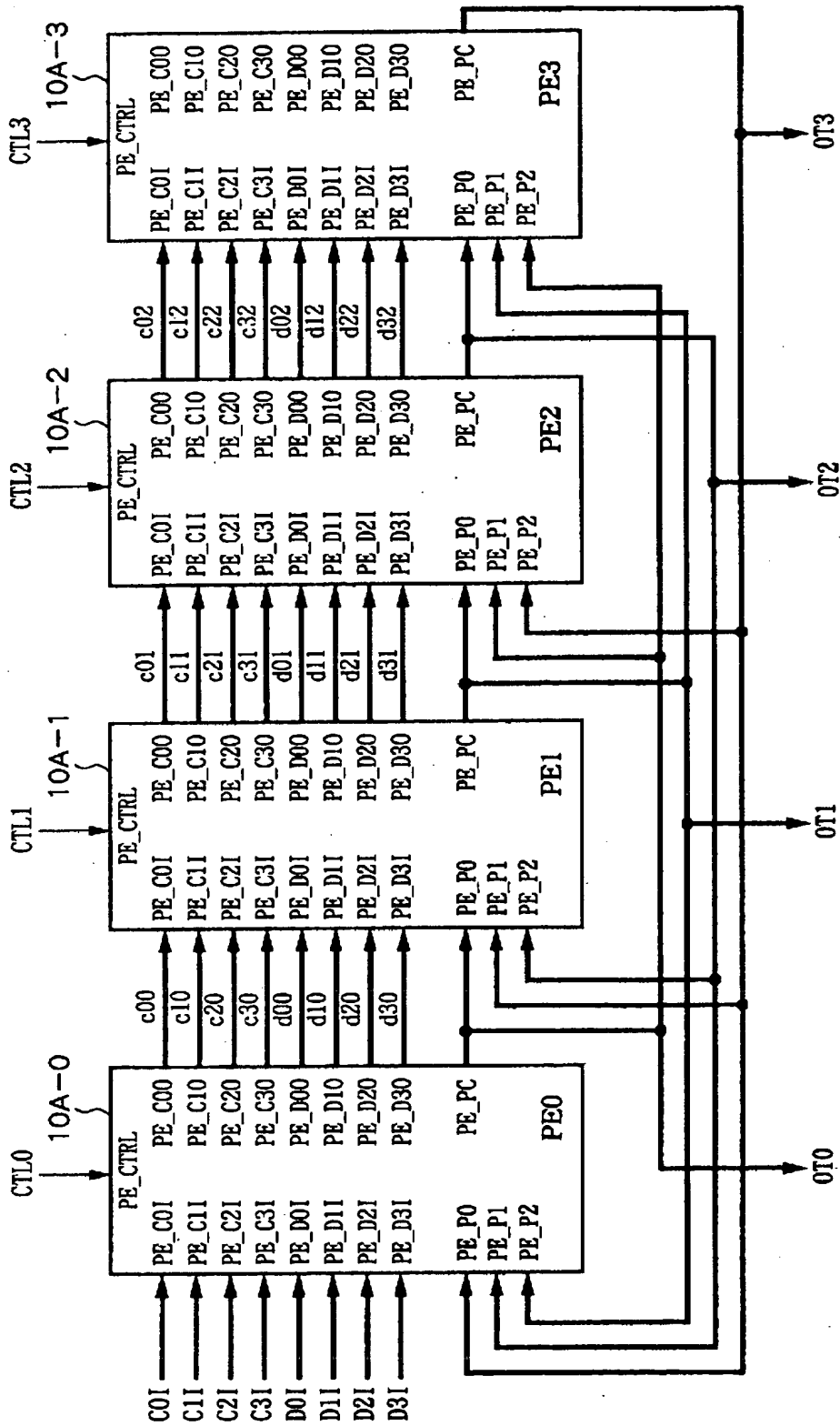
【図 2】



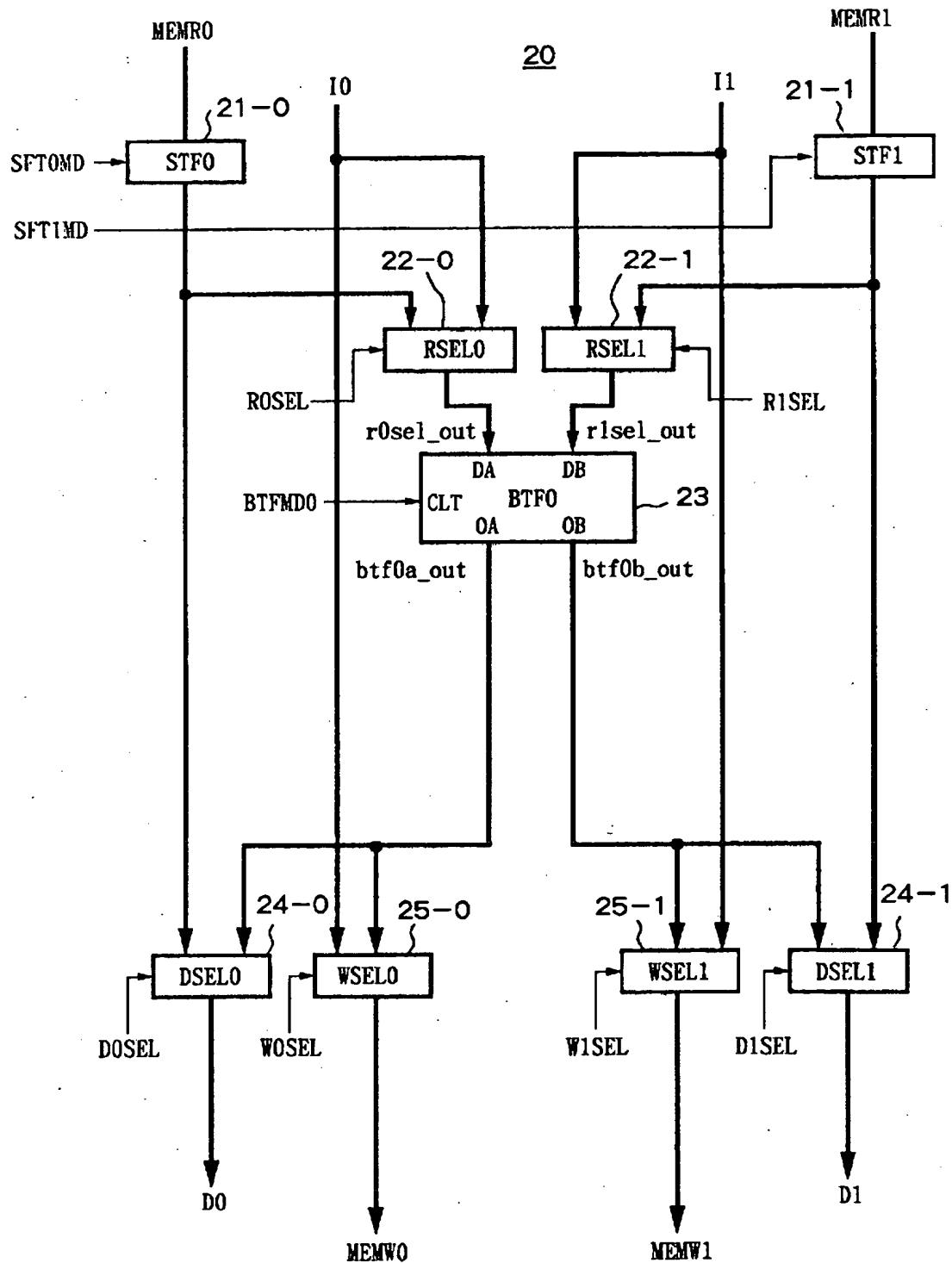
【図 3】



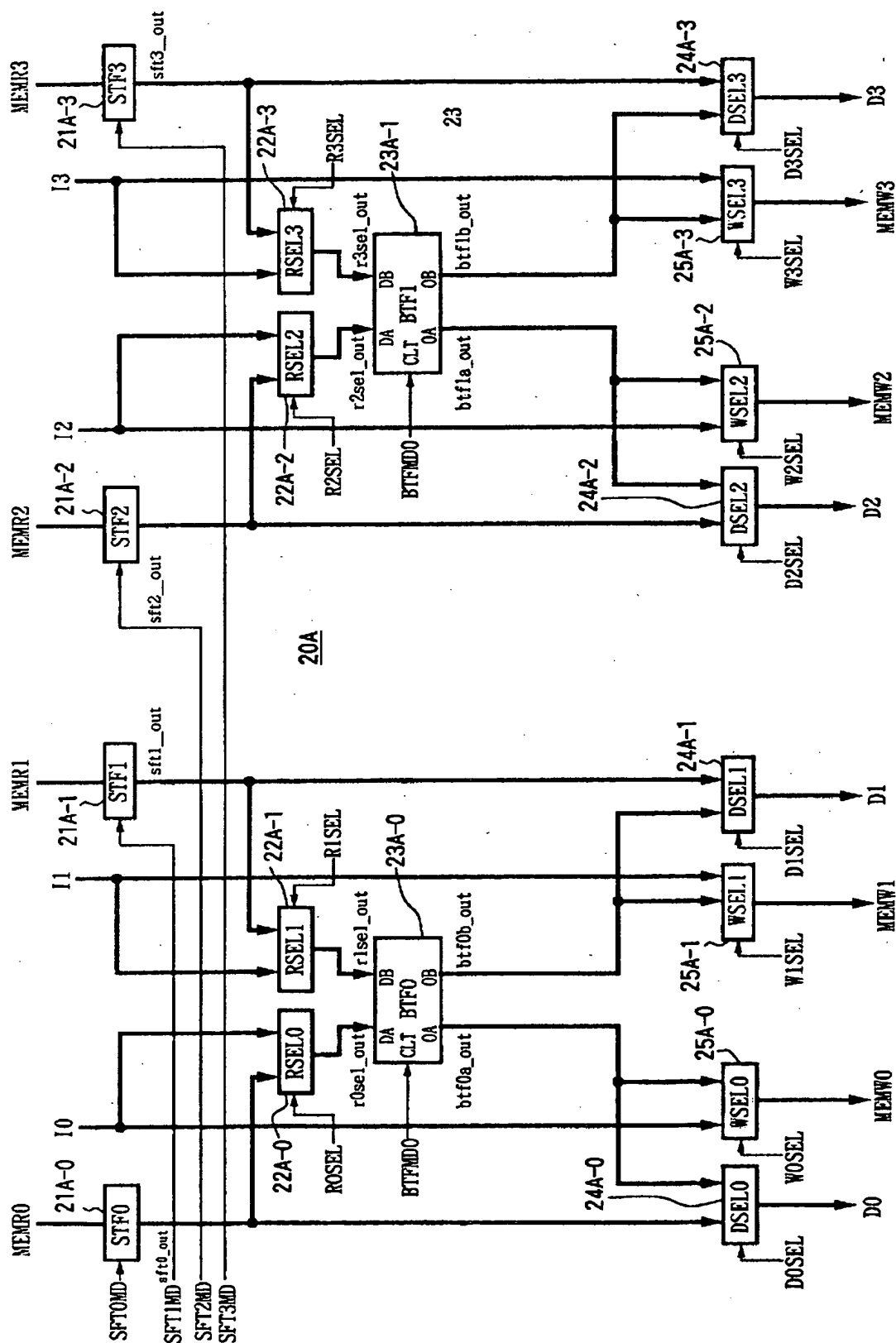
【図 4】



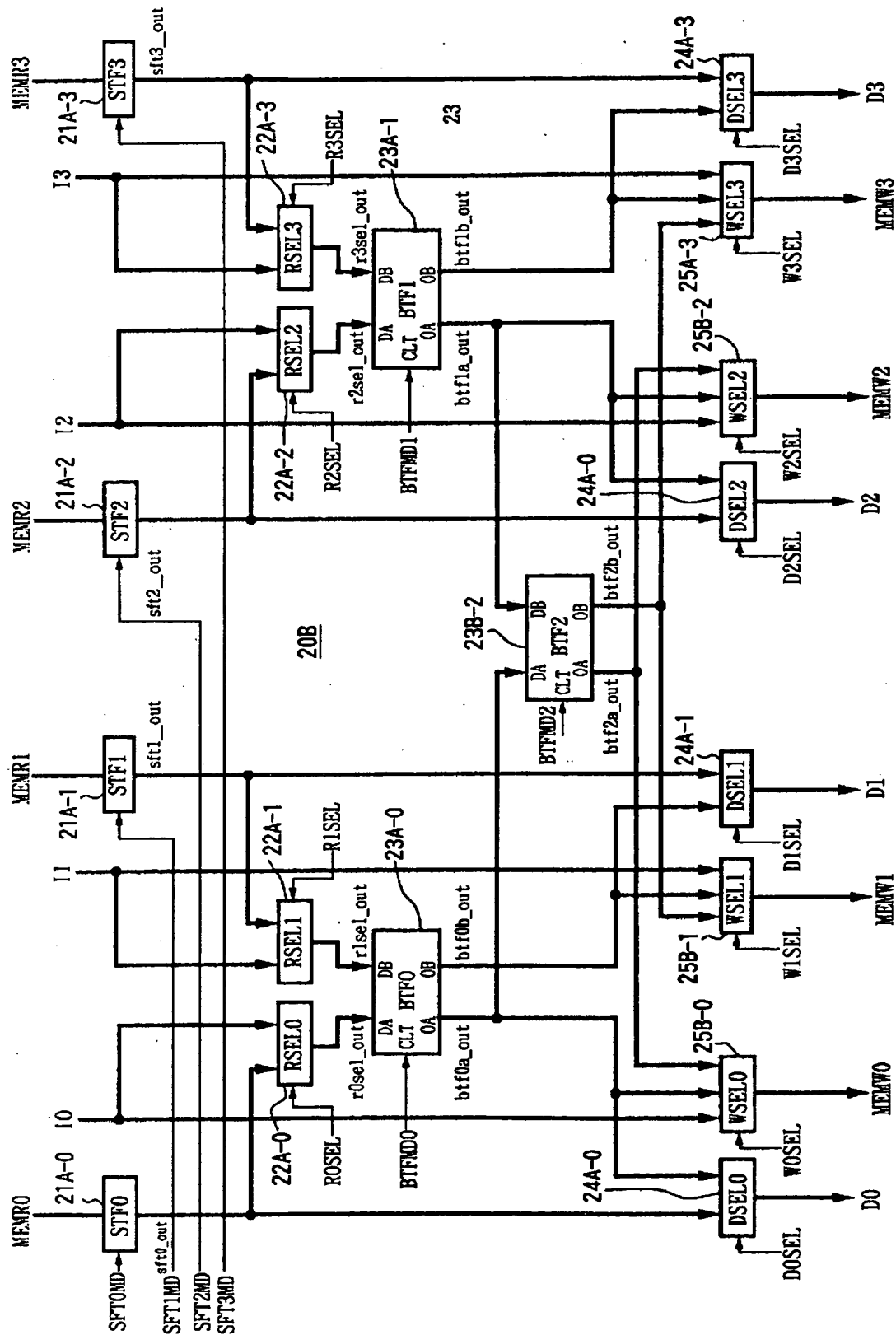
【図 5】



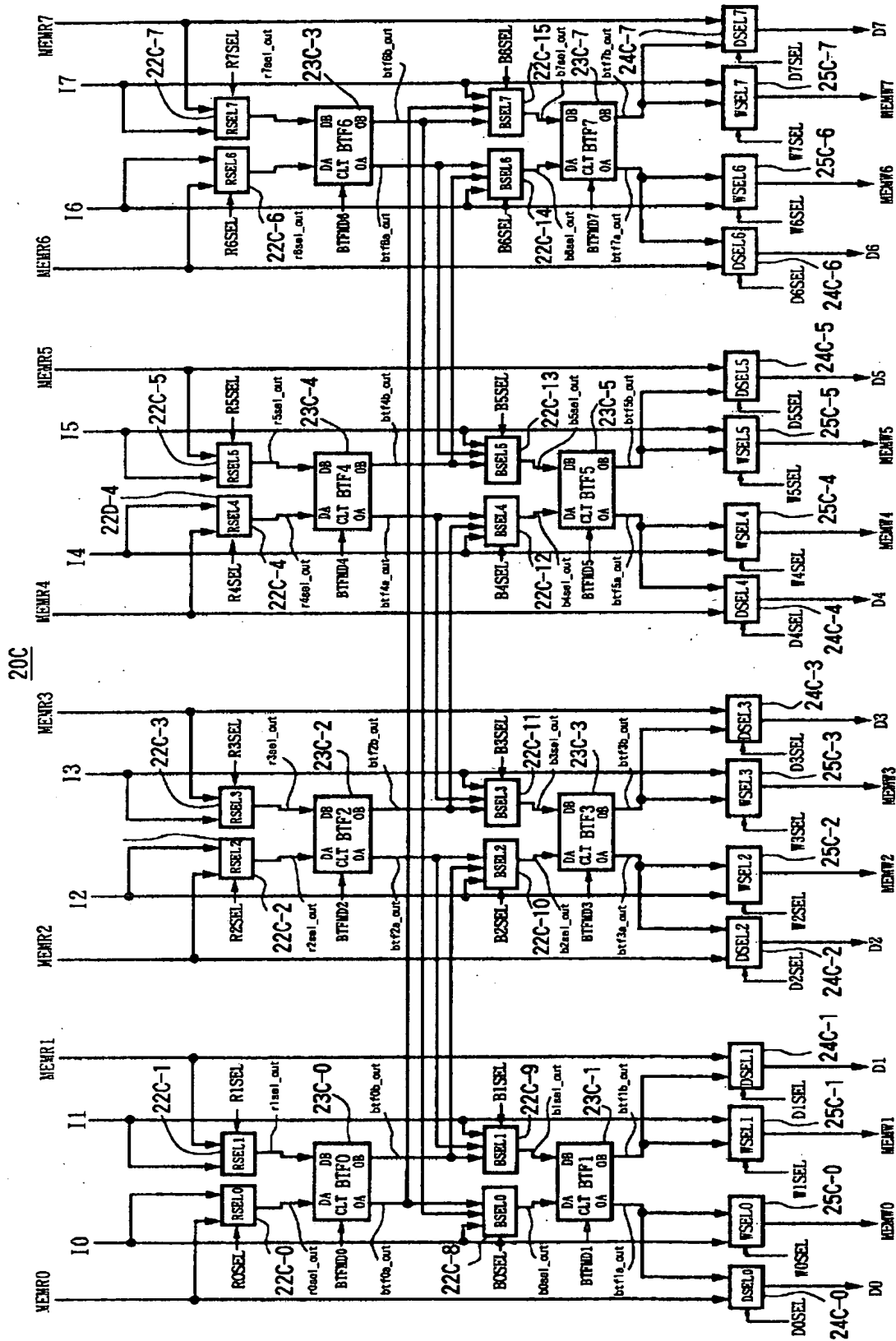
【図 6】



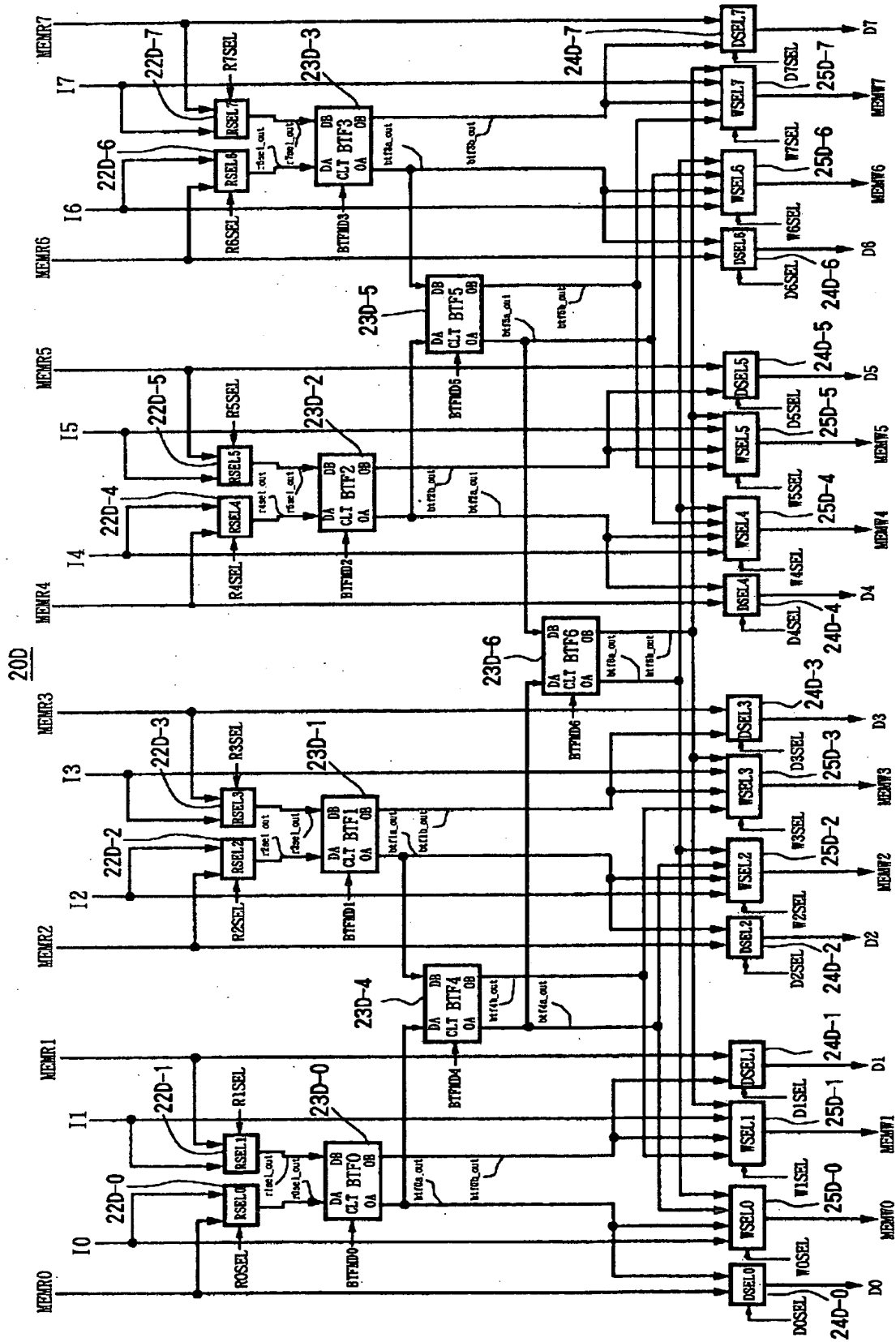
【図 7】



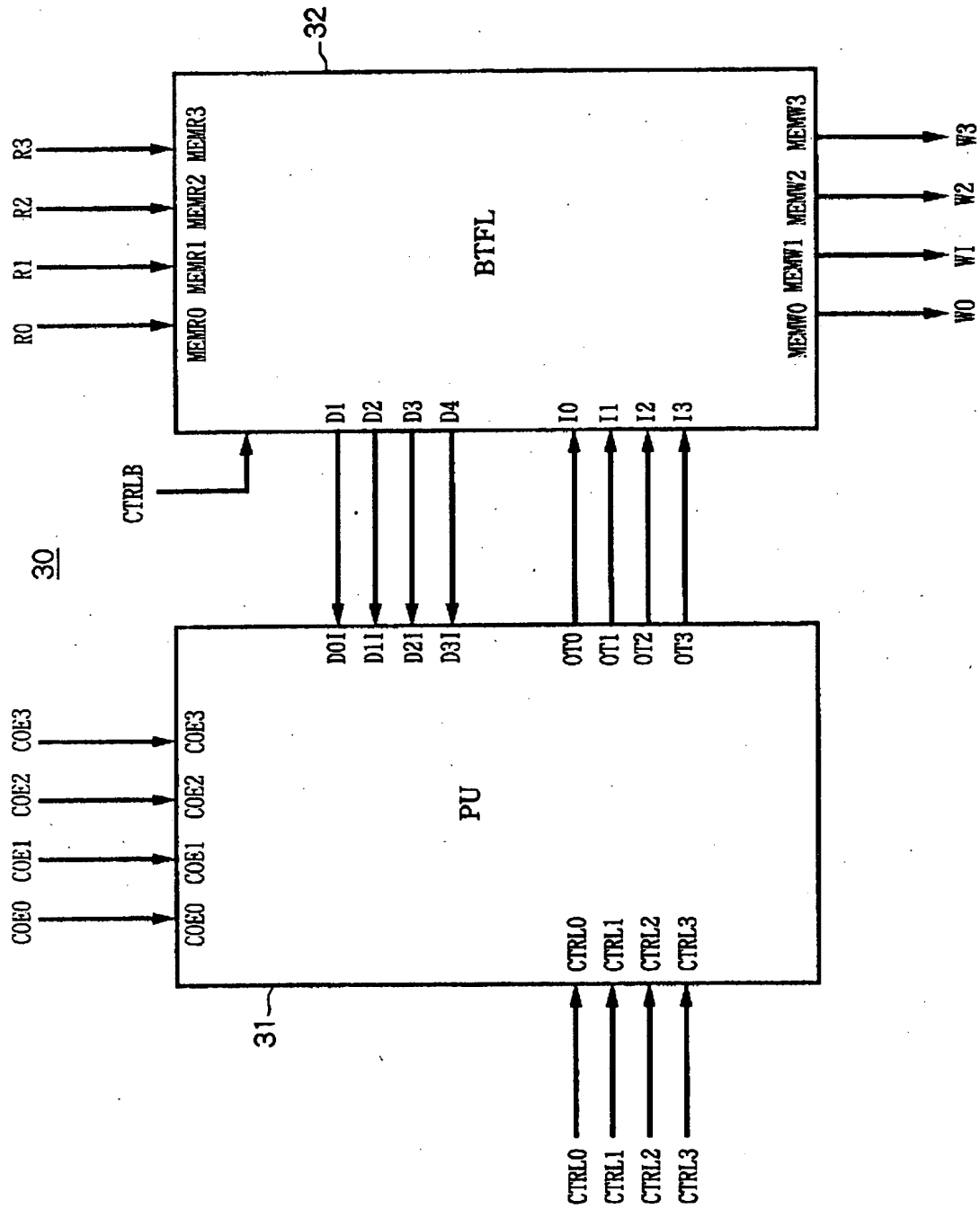
【図 8】



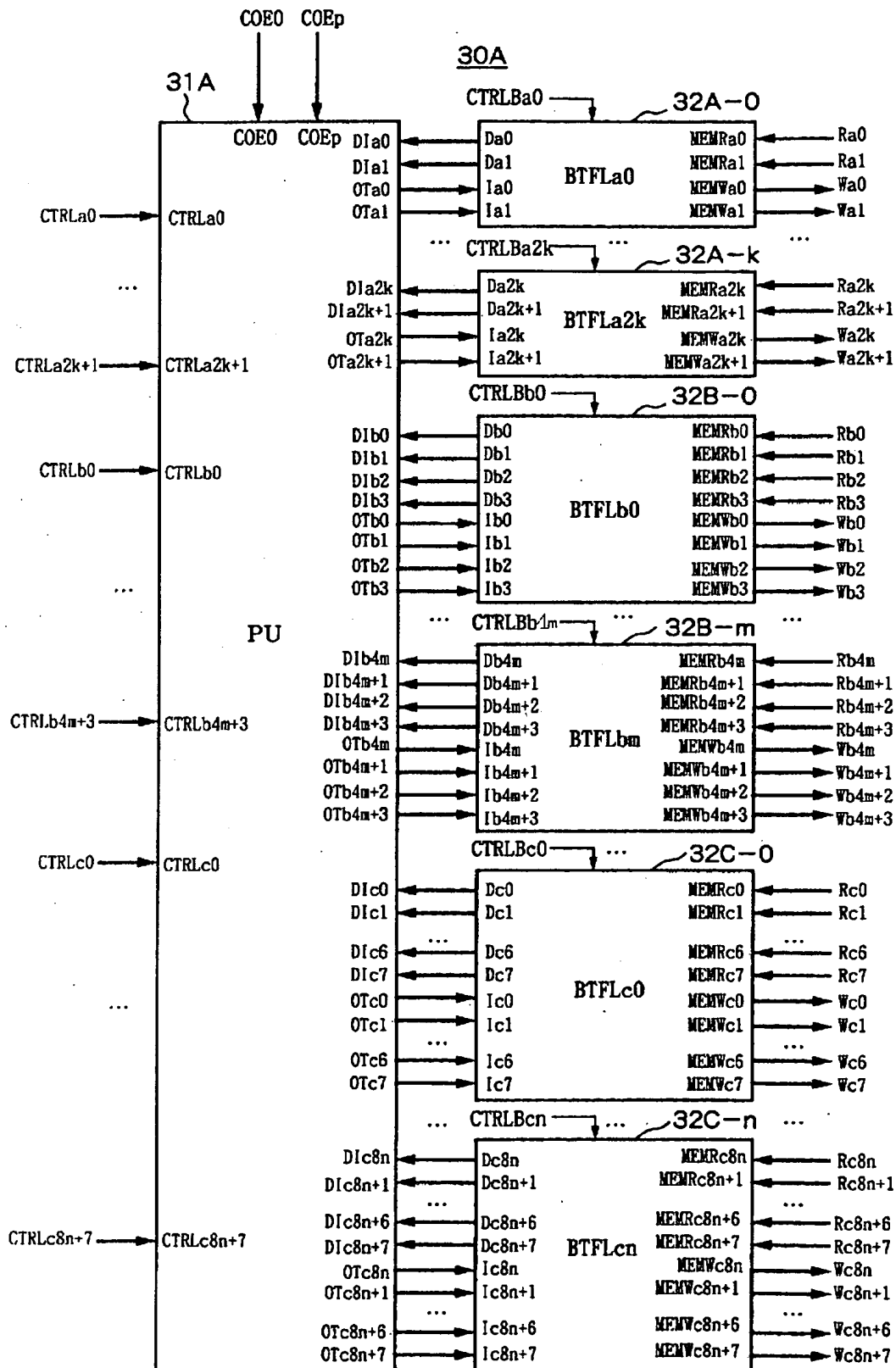
【図9】



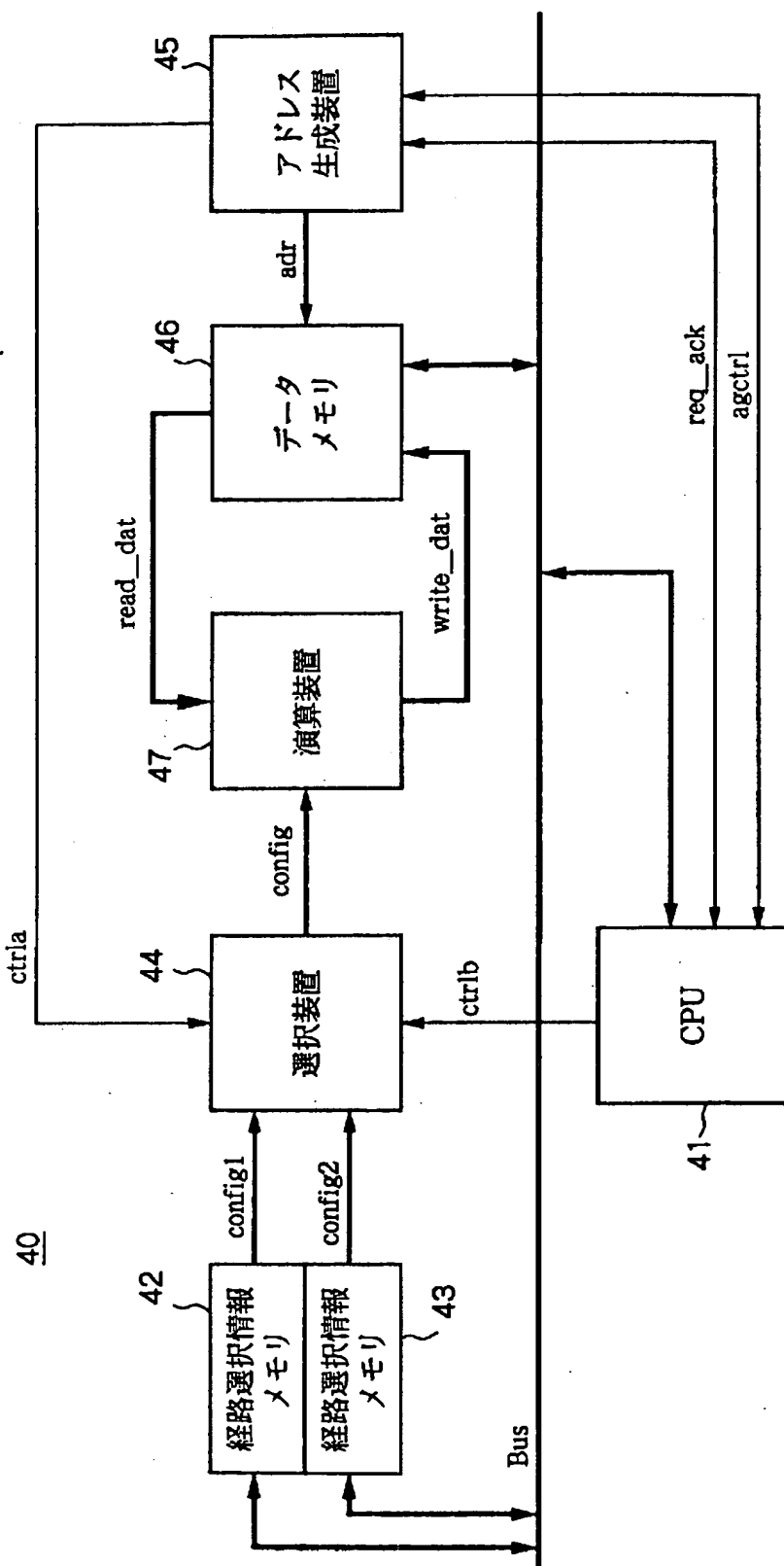
【図 10】



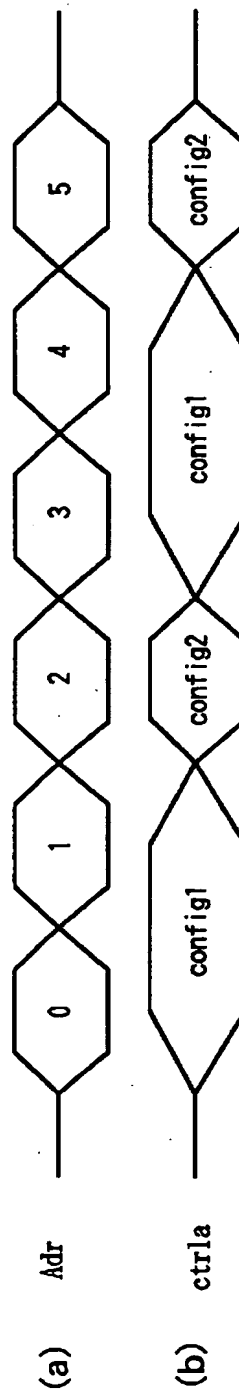
【図 11】



【図12】

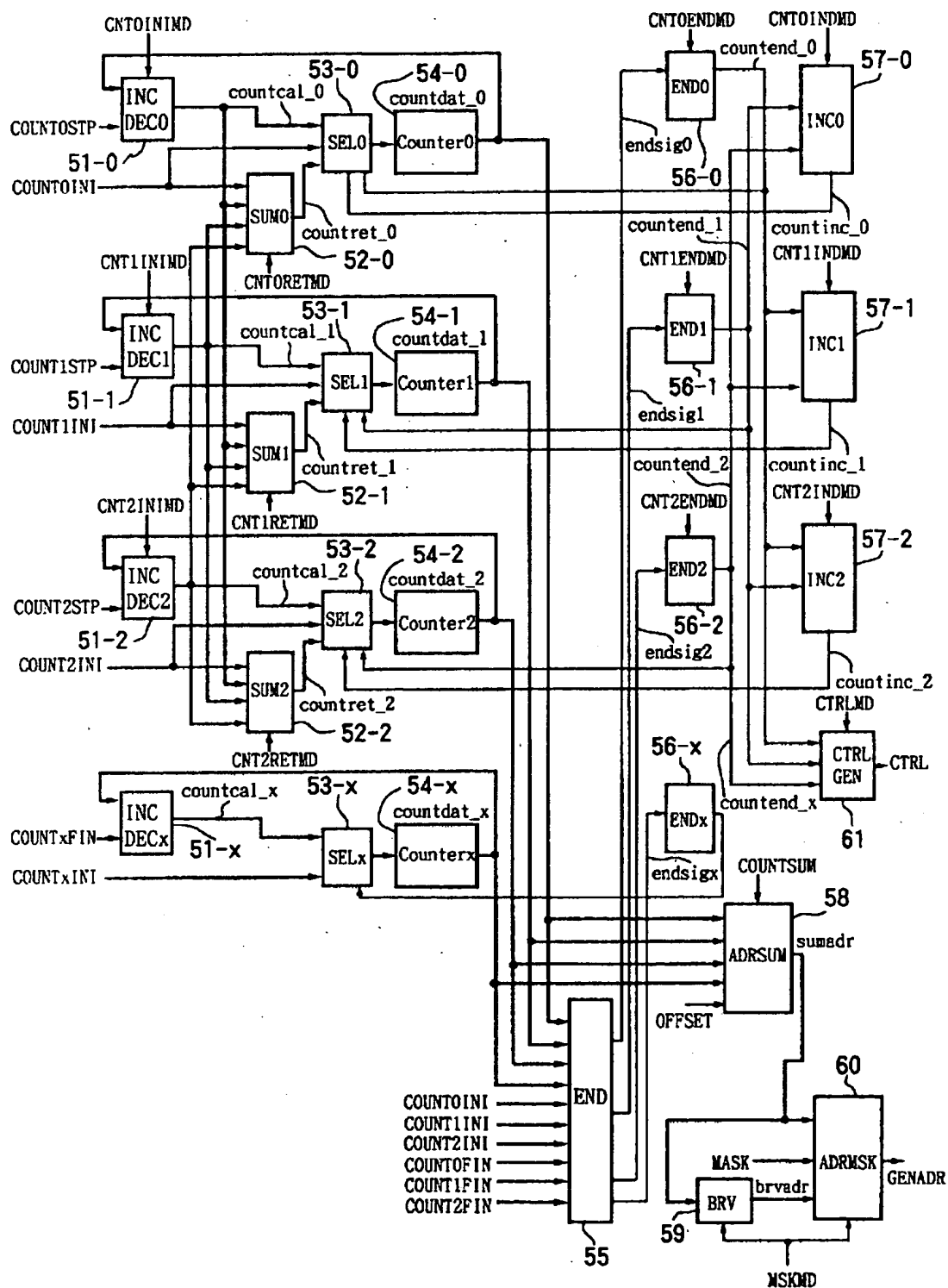


【図 13】

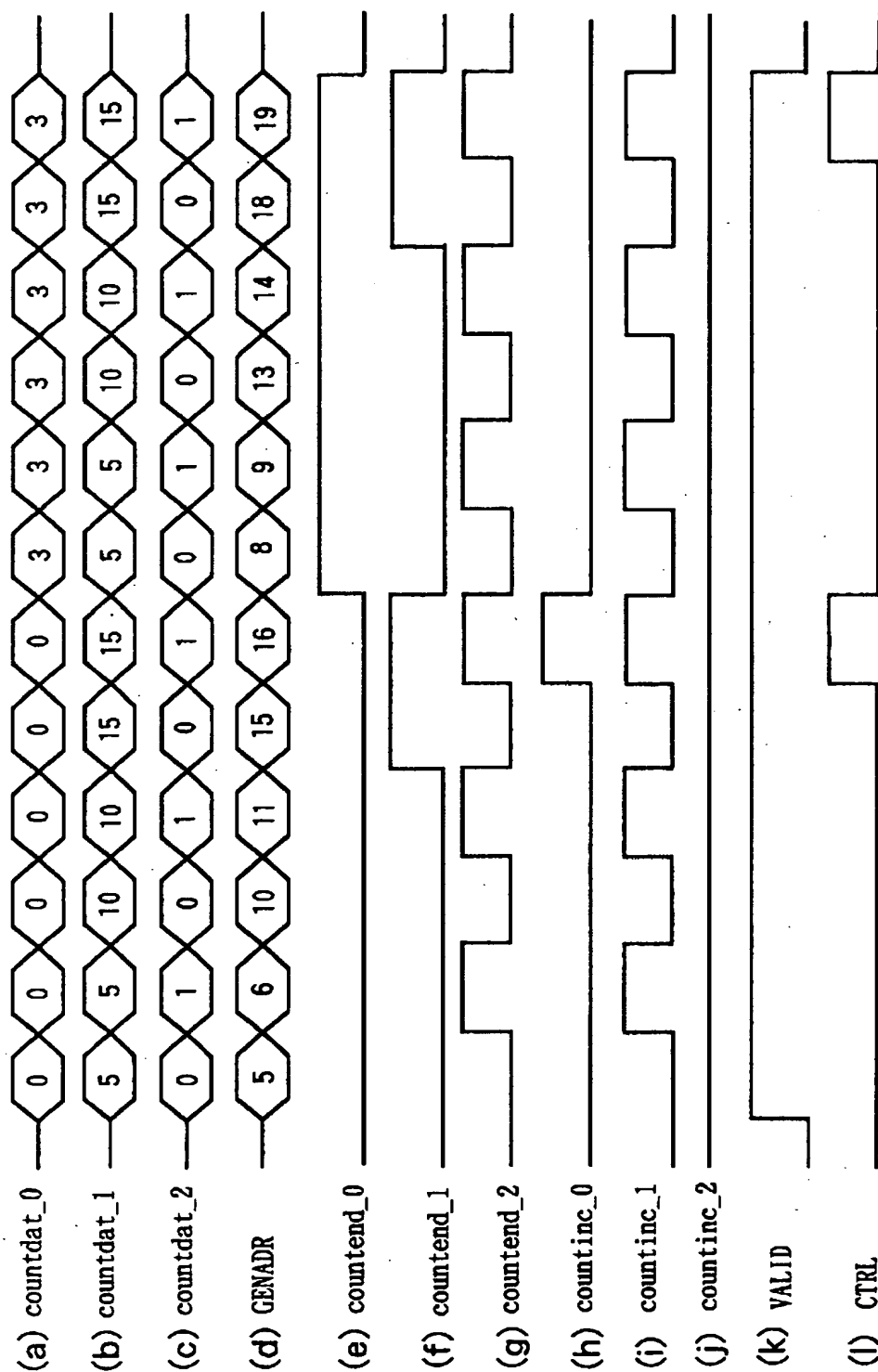


【图 14】

50

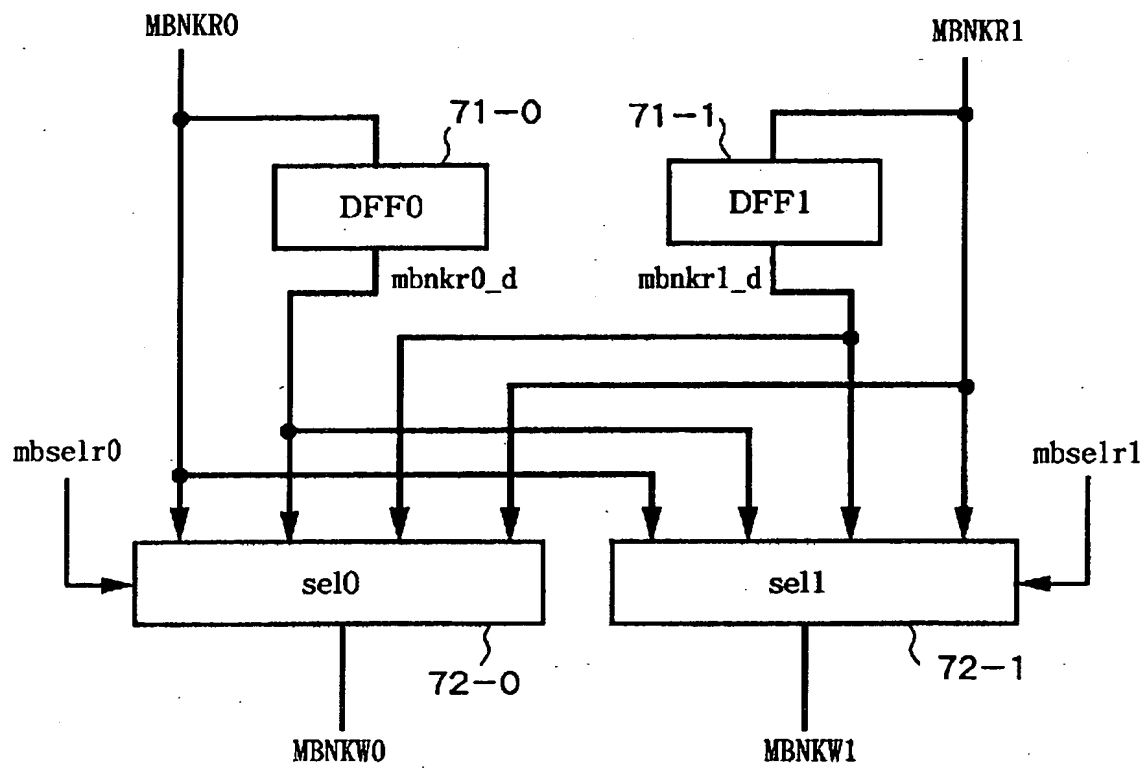


【図 15】

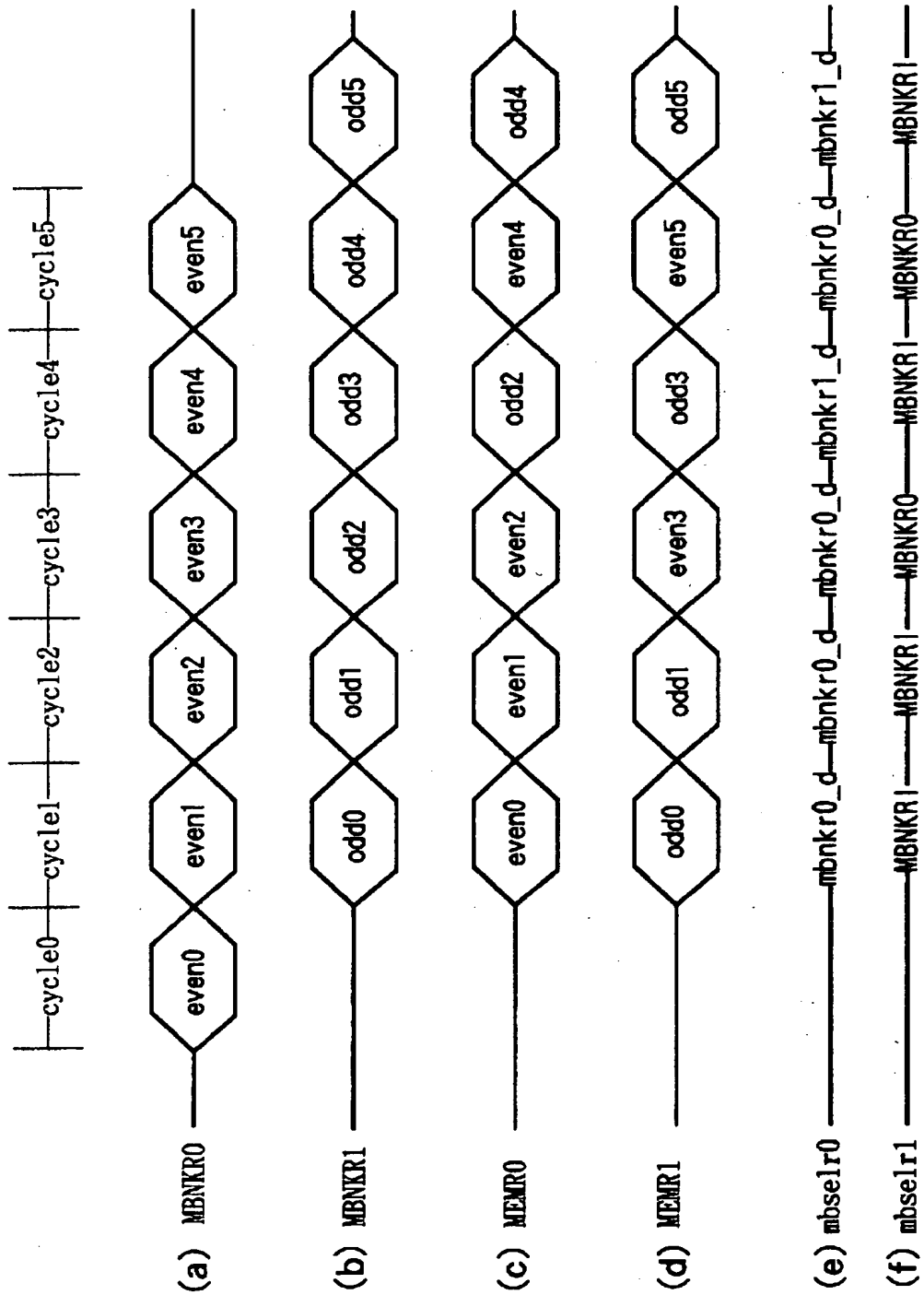


【図 1 6】

70

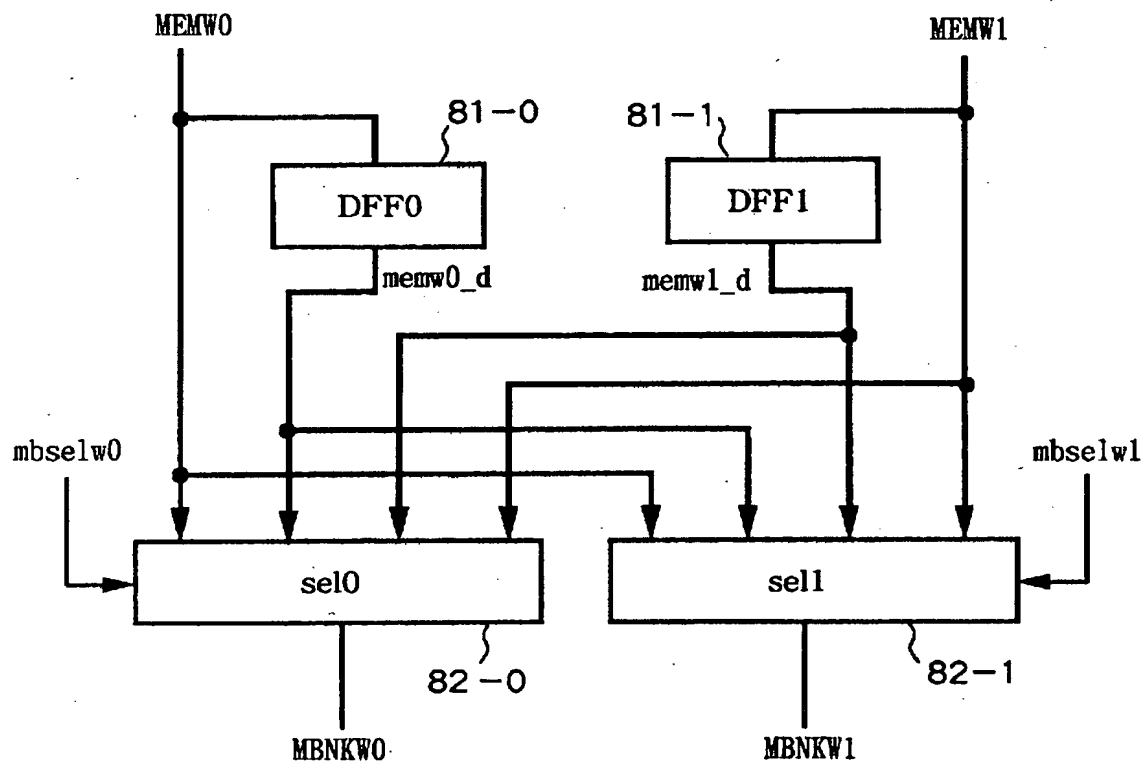


【図 17】

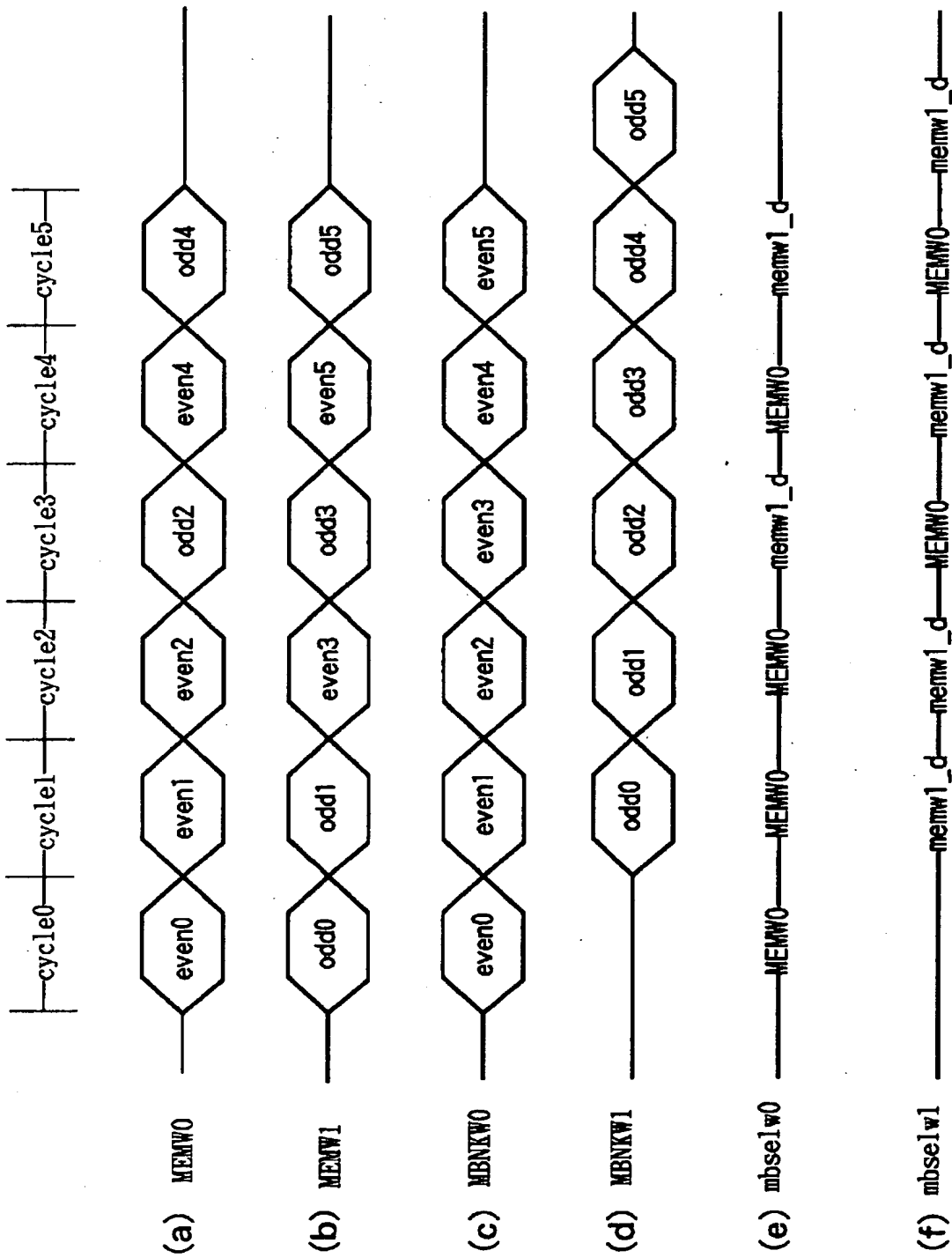


【図18】

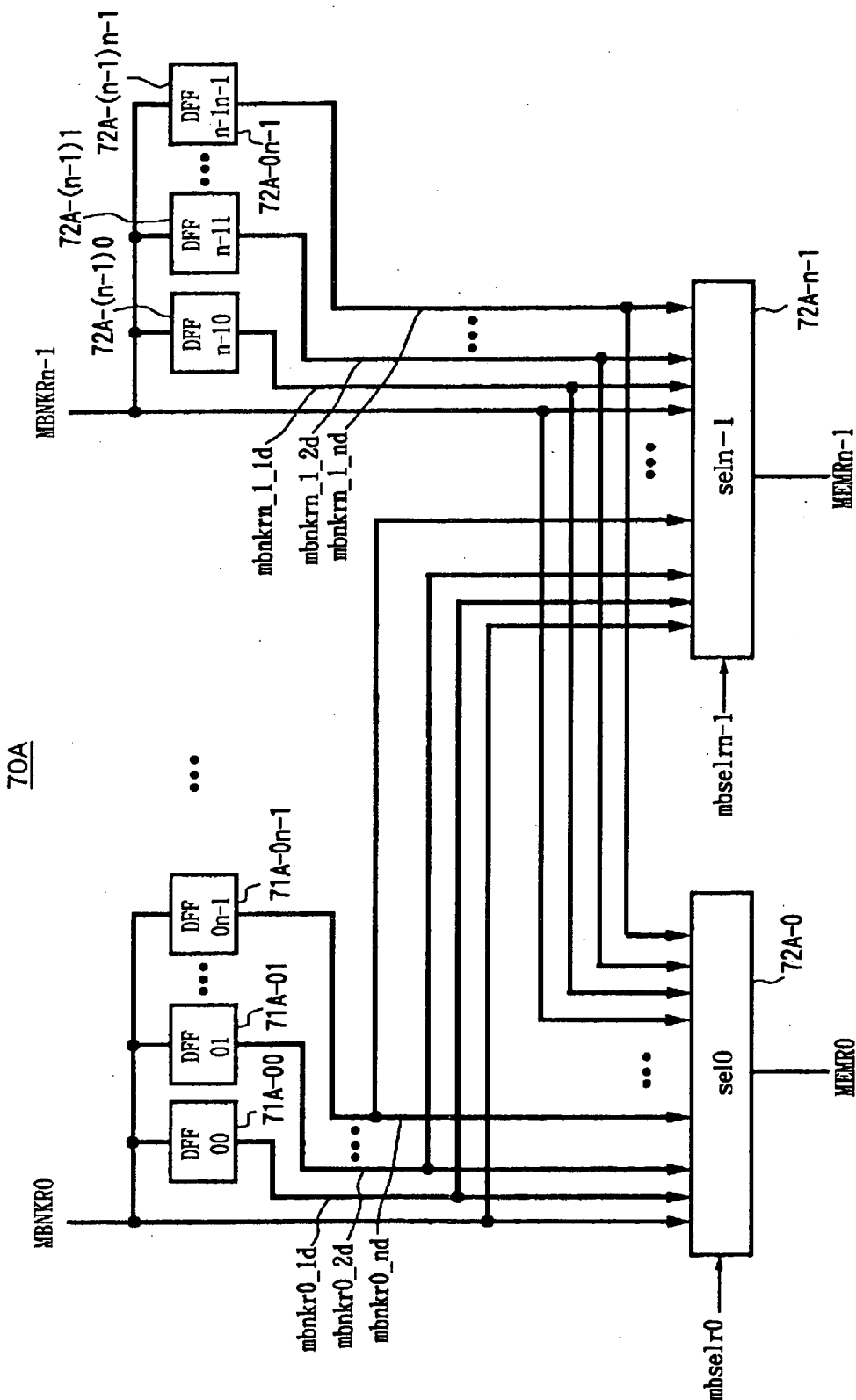
80



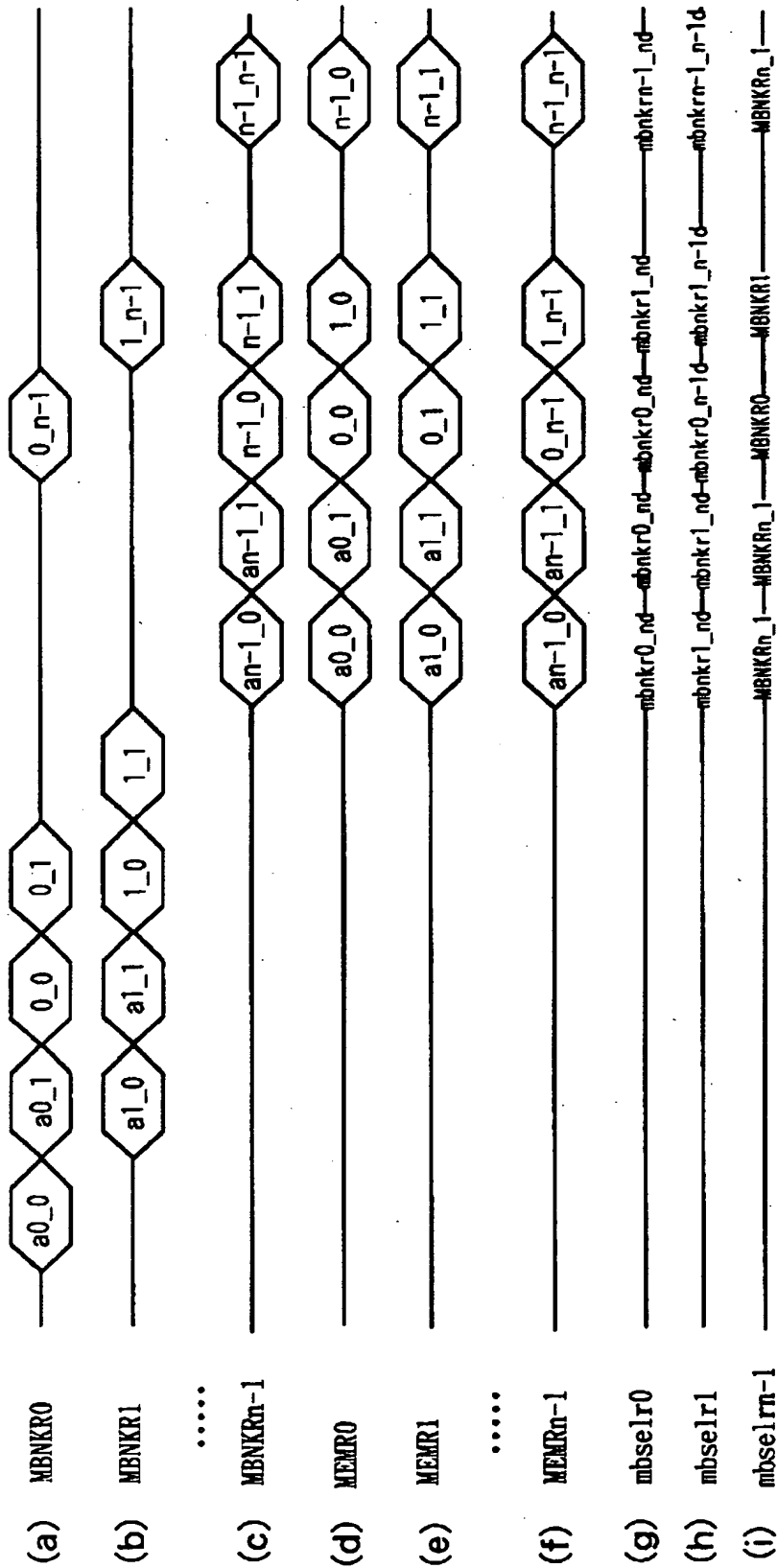
【図 19】



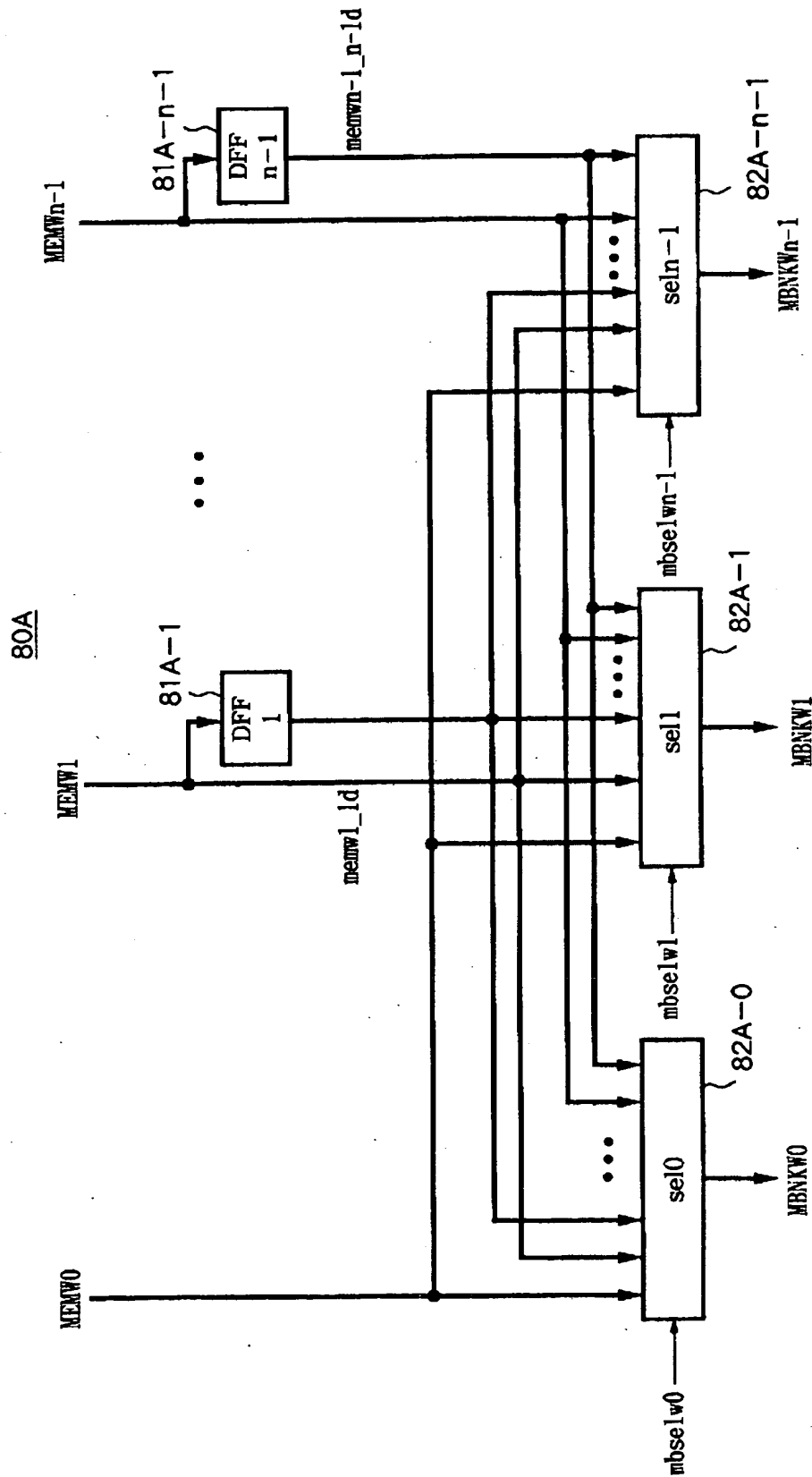
【図 20】



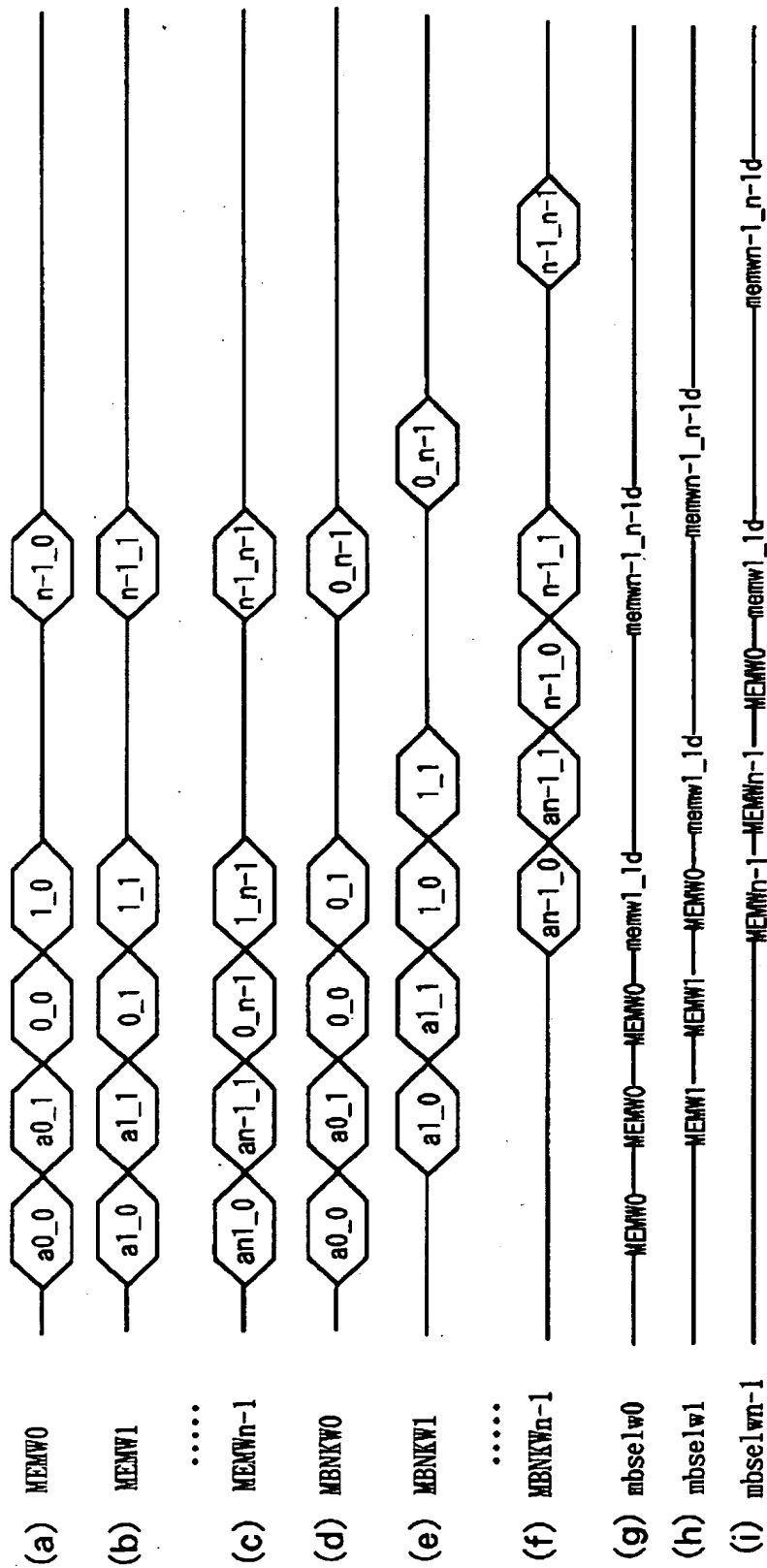
【図 21】



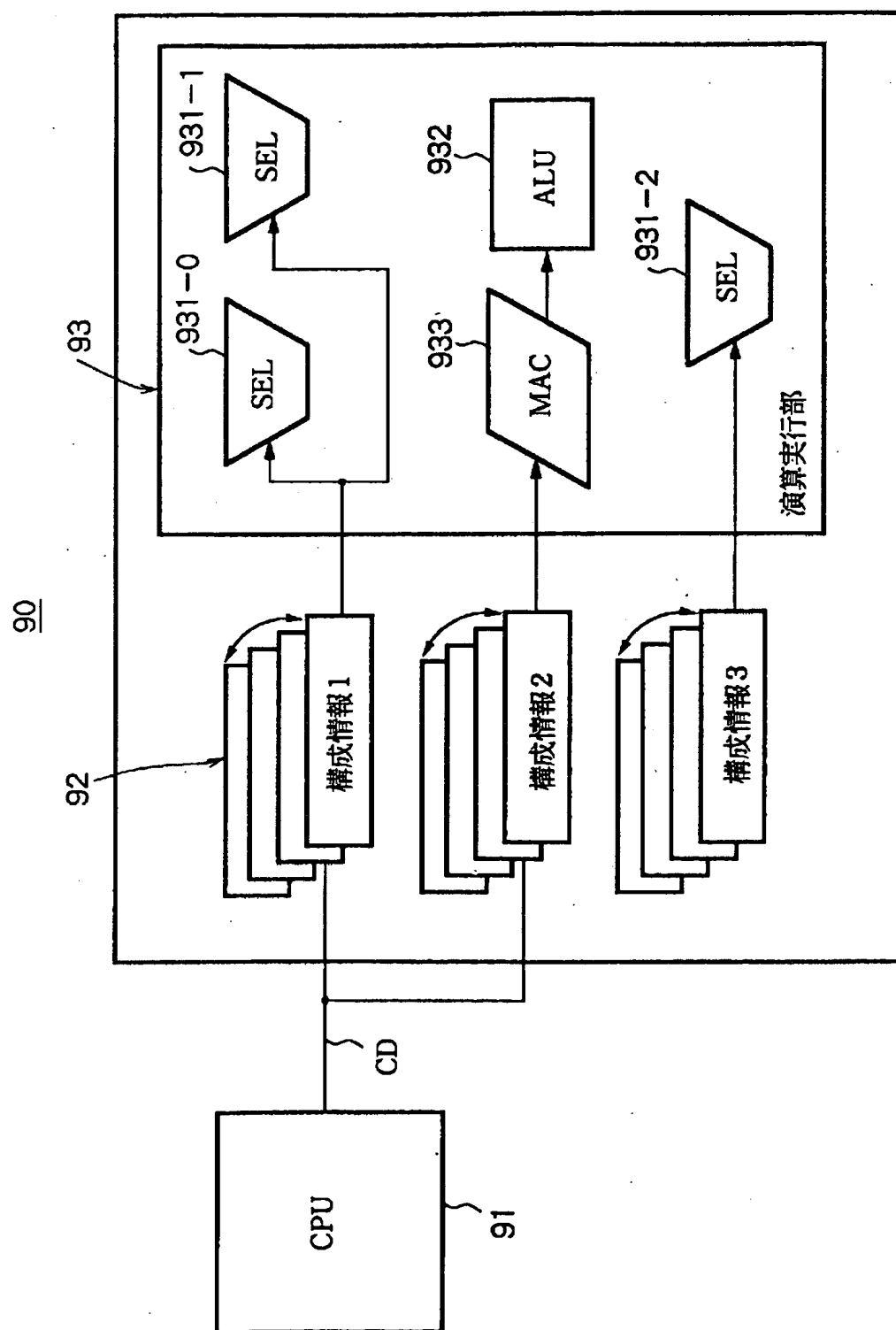
【図 22】



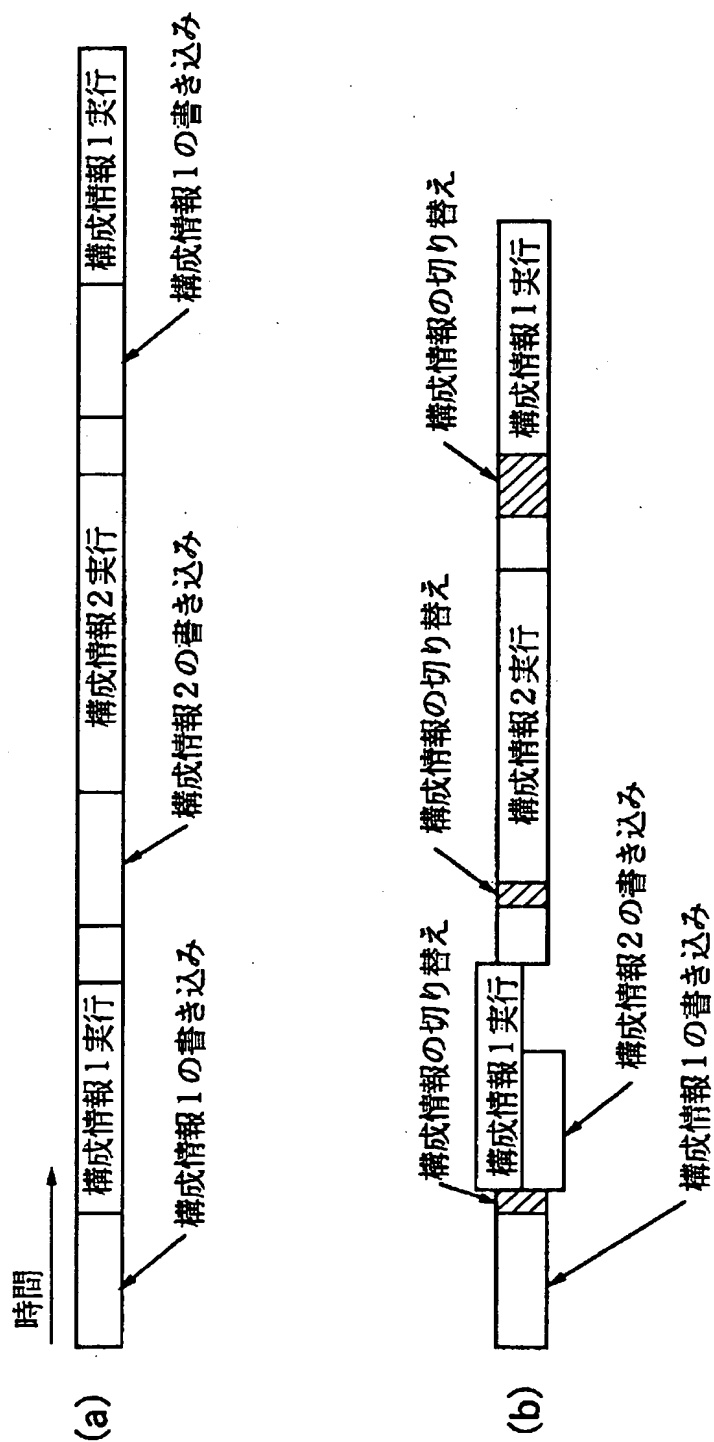
【図 23】



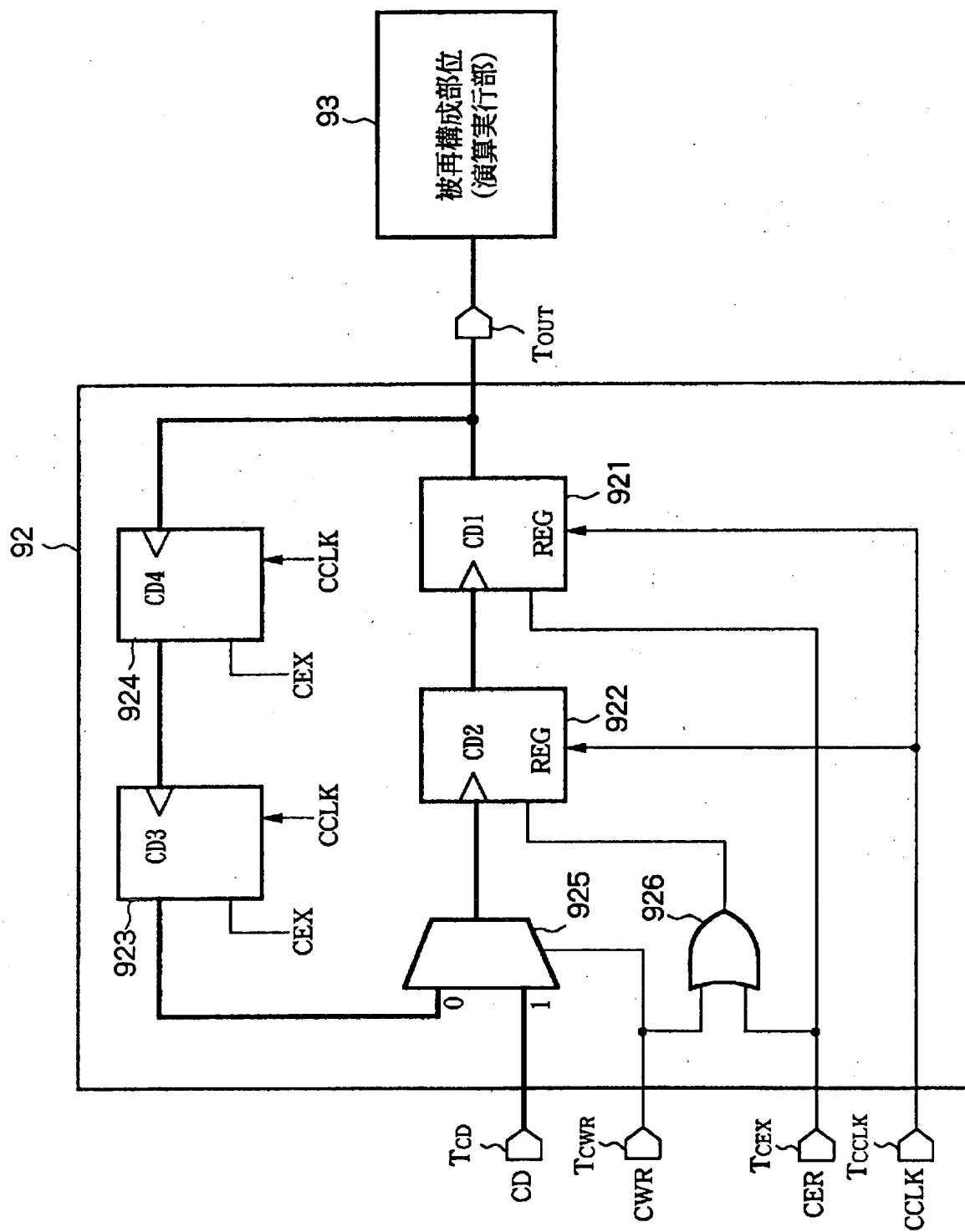
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 論理レベルの最適化ができ、また構成情報の増大を防止でき、集積回路としての面積効率の悪化を防止でき、また、演算効率の向上を図れ、しかも低消費電力化を図れる演算装置を提供する。

【解決手段】 制御信号 A S E L に応じて係数入力 C0I ~ CkI を選択する第 1 の選択装置 1 1 と、制御信号 B S E L に応じてデータ入力 D0I ~ DmI を選択する第 2 の選択装置 1 2 と、制御信号 C S E L に応じてカスケード入力 P0 ~ Pn-2 を選択する第 3 の選択装置 1 3 と、第 1 ~ 第 3 の選択装置の出力信号を入力として、制御信号 A L U M D 等の指示に応じた論理演算を行う A L U 1 4 と、第 1 ~ 第 3 の選択装置の出力信号を入力として、制御信号 M A C M D 等の指示に応じた演算を行う M A C 1 5 と、制御信号 E S E L に応じて、A L U 1 4 の出力信号と M A C 1 5 の出力信号のいずれかを選択する第 4 の選択装置 1 6 とを設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社